



JZ8P1533

充电型数字可编程控制器

用户数据手册

版本号 V1.2



修改记录说明

版本号	修改说明	备注
V1.2	Release	

声明：

- 本资料内容，随产品的改进，会进行相应更新，恕不另行通知。使用本资料前请咨询我司销售人员，以保证本资料内容为最新版本。
- 请在本资料所记载的极限范围内使用本产品，因使用不当造成的损失，我司不承担其责任。
- 尽管本公司一向致力于提高产品质量与可靠性，但是半导体产品本身有一定的概率发生故障或错误工作，为防止因此类事故而造成的人身伤害或财产损失，请在使用过程中充分留心安全设计。
- 将本产品或者本资料出口海外时，应当遵守适用的进出口管制法律法规。
- 未经本公司许可，严禁以任何形式复制或转载本资料的部分或全部内容。
- 本资料测试数据仅供参考，实际数据以目标样机测试为准。



目录

1 芯片简介	4
1.1 功能特性	4
1.2 引脚分配	5
1.3 引脚说明	6
2 存储器结构	7
3 功能模块	8
3.1 操作寄存器	8
3.1.1 RPAGE~R0-IAR(间接地址存储器)	8
3.1.2 RPAGE~R1-TCOC(TC0 定时计数器)	8
3.1.3 RPAGE~R2-PCL(程序计数器低 8 位寄存器)	8
3.1.4 RPAGE~R3-STATUS(状态标志寄存器)	8
3.1.5 RPAGE~R4-RSR(RAM 选择寄存器)	9
3.1.6 RPAGE~R6-P6(P6 数据寄存器)	10
3.1.7 RPAGE~R7-CMPCON0(CMP 控制寄存器 0)	10
3.1.8 RPAGE~R8-TC1CON(TC1/PWM 控制寄存器)	11
3.1.9 RPAGE~R9-TC1PRDL(TC1/PWM 周期低 8 位寄存器)	11
3.1.10 RPAGE~RA-PWMDTL(PWM 占空比低 8 位寄存器)	12
3.1.11 RPAGE~RB-TC1PRDTH(TC1/PWM 周期占空比高 4 位寄存器)	12
3.1.12 RPAGE~RC-P6AE(P6 模拟口使能寄存器)	12
3.1.13 RPAGE~RD-P6IWE(P6 输入变化中断, 唤醒使能寄存器)	12
3.1.14 RPAGE~RE-CPUCON(CPU 模式控制寄存器)	13
3.1.15 RPAGE~RF-INTF(中断标志寄存器)	13
3.2 控制寄存器	15
3.2.1 IOPAGE~IOC2-TC0CON(TC0 控制寄存器)	15
3.2.2 IOPAGE~IOC6-P6CON(P6 控制寄存器)	15
3.2.3 IOPAGE~IOC9-TPRE(TC0/WDT 预分频读值寄存器)	16
3.2.4 IOPAGE~IOCA-CMPCON1(CMP 控制寄存器 1)	16
3.2.5 IOPAGE~IOCB-P6PD(P6 下拉控制寄存器)	17
3.2.6 IOPAGE~IOCD-P6PH(P6 上拉控制寄存器)	17
3.2.6 IOPAGE~IOCE-WDTCON(WDT/外部中断/TC0 捕获控制寄存器)	17
3.2.7 IOPAGF~IOCF-INTE(中断使能寄存器)	18
4 典型应用电路	20
5 PCB 布局注意事项	21
6 芯片电气特性	22
6.1 芯片极限参数	22
6.2 芯片直流参数	22
7 封装尺寸信息	23
7.1 SSOP10 封装尺寸	23



1 芯片简介

1.1 功能特性

概述

JZ8P1533 是一款外围电路简单，高集成度的微控制器，内部集成充电管理，MCU，功率管，可应用于多数单节锂电池输入的应用。

JZ8P1533 内置一款 8 位 OTP 型控制器，可通过编程实现产品的各种功能。

JZ8P1533 集成最大 500mA 充电，另外集成一路 20V 耐压功率管，最大放电电流达 2 A 电流，用于驱动马达和 LED 等。

用途

- 按键 LED 照明类
- 马达电机类
- 雾化照明类
- 玩具等

I/O 配置

- 6 个 I/O 口（含内置）
- P63 可配置上下拉和输出
- 唤醒端口:P6 口
- 6 个可编程上拉 I/O 引脚
- 6 个可编程下拉 I/O 引脚

工作电压

- 工作电压范围：
1.8V~5.5V (0°C~70°C)
2.3V~5.5V (-40°C~85°C)

外围模块

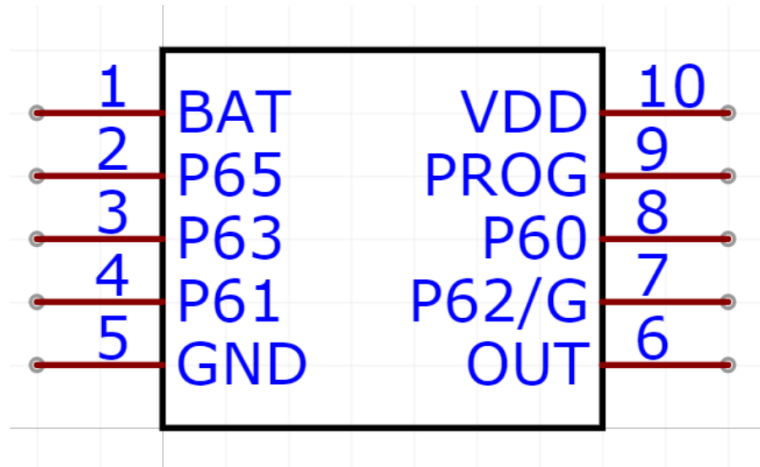
- 可编程 WDT 定时器
4.5ms、18ms、72ms、288ms
- 12Bit 脉宽调制器 PWM
- 8Bit 实时时钟/计数器

封装类型

- JZ8P1533-SSOP10;



1.2 引脚分配





1.3 引脚说明

序号	管脚名	功能描述
1	VDD/BAT	芯片电源正极，电池正极
2	P65	I/O（上/下拉）
	CIN3-	I
	SCL	I（SMT）
3	P63	GPIO，可编程上拉、端口唤醒
	RST	复位引脚
	VPP	烧录高压口
4	P61	GPIO，可编程上下拉、端口唤醒
	IPWM	PWM 互补（取反）输出口
	CIN1-	比较器负极输入端口
	CIN0+	比较器正极输入端口
5	GND	芯片电源负极，电池负极
6	OUT	NMOS D 极脚位
7	P62	NMOS G 极控制脚位
8	P60	GPIO，可编程上下拉、端口唤醒
	INT	外部中断输入端口
	TC0	TC0 外部信号源输入脚
	CMPOUT	比较器结果输出端口
	SDA	烧录数据口
9	PROG	充电电流调整端
10	VIN	充电输入电源正极
内部	CHRG-P64	充电指示端口(正在充电为低，充电完成为高阻态)，内部连接至P64



2 存储器结构

地址	RPAGE 页面寄存器	IOPAGE 页面寄存器
0x00	R0/IAR (间接寻址寄存器)	保留
0x01	R1/TC0C (TC0 计数寄存器)	保留
0x02	R2/PCL (程序计数低 8 位寄存器)	IOC2/TC0CON (TC0 控制寄存器)
0x03	R3/STATUS (状态标志寄存器)	保留
0x04	R4/RSR (RAM 选择寄存器)	保留
0x05	保留	保留
0x06	R6/P6 (P6 数据寄存器)	IOC6/P6CON (P6 控制寄存器)
0x07	R7/CMPCON0 (CMP 控制寄存器 0)	保留
0x08	R8/TC1CON (TC1/PWM 控制寄存器)	保留
0x09	R9/TC1PRDL (TC1/PWM 周期低 8 位寄存器)	IOC9/TPRE (TC0/WDT 预分频器)
0x0A	RA/PWMDTL (PWM 占空比低 8 位寄存器)	IOCA/CMPCON1 (CMP 控制寄存器 1)
0x0B	RB/TC1PRDTH (TC1/PWM 周期高 4 位及 PWM 占空比高 4 位寄存器)	IOCB/P6PD (P6 下拉控制寄存器)
0x0C	RC/P6AE (P6 模拟口控制寄存器)	保留
0x0D	RD/P6IWE (输入状态变化中断使能)	IOCD/P6PH (P6 上拉控制寄存器)
0x0E	RE/CPUCON (CPU 模式控制寄存器)	IOCE/WDTCN (WDT、外部中断、TC0 捕获控制寄存器)
0x0F	RF/INTF (中断标志寄存器)	IOCF/INTE (中断使能寄存器)
0x10-0x3F	通用寄存器	保留



3 功能模块

3.1 操作寄存器

3.1.1 RPAGE~R0-IAR (间接地址存储器)

00H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IAR	IAR<7:0>							
读/写	R							
复位值	X							

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4（RAM 选择寄存器）低 6 位 FSR<5:0>所指向的数据。

3.1.2 RPAGE~R1-TCOC (TCO 定时计数器)

01H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TCOC (R)	TCOC<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TCC 可读可写。

3.1.3 RPAGE~R2-PCL (程序计数器低 8 位寄存器)

02H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PCL	PC<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中, PC 将指令指针推进程序存储器, 然后指针自增 1 以进入下一个周期。

3.1.4 RPAGE~R3-STATUS (状态标志寄存器)

03H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
STATUS	RST	GIE	LVREN	T	P	Z	DC	C
读/写	R	R	R/W	R	R	R/W	R/W	R/W
复位值	0	0	0	1	1	X	X	X



Bit<7>:RST-复位类型标志位:

- 0:其它复位类型
- 1:引脚状态改变引起唤醒

Bit<6>:GIE-中断使能标志位

- 0:由DIT指令或硬件中断屏蔽
- 1:由EIT/RTI指令使能中断

Bit<5>:LVREN-LVR软件使能

- 0:LVR使能
- 1:LVR禁止(option选择LVR禁止时才有效)

Bit<4>:T-时间溢出位

- 0:WDT溢出
- 1:执行“SLEEP”和“CWDT”指令或低压复位

影响T/P的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按RESET	0	保持	保持
RESET唤醒	0	1	0
工作模式下WDT溢出	0	0	保持
WDT溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行WDTC指令	保持	1	1
执行SLEEP指令	保持	1	0

Bit<3>:P-掉电标志位:

- 0:执行“SLEEP”指令
- 1:上电复位或执行“CWDT”指令

Bit<2>:Z-零标志位算术或逻辑操作结果为零时置为“1”

- 0:当算术或者逻辑运算结果不为0
- 1:当算术或者逻辑运算结果为0

Bit<1>:DC-辅助进位标志:

- 0:执行加法运算时,低四位没有进位产生;/执行减法运算时,低四位产生借位
- 1:执行加法运算时,低四位有进位产生;/执行减法运算时,低四位没产生借位

Bit<0>:C-进位标志:

- 0:执行加法运算时,高四位没有进位产生;/执行减法运算时,高四位产生借位
- 1:执行加法运算时,高四位有进位产生;/执行减法运算时,高四位没产生借位

3.1.5 RPAGE~R4-RSR (RAM 选择寄存器)

04H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RSR	-	-	RSR<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	X	X	X	X	X	X



FSR<5:0> 在间接寻址方式中用于选择 RAM 寄存器地址（寻址范围:0X00~0X3F）

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR，然后通过访问间接寻址寄存器 R0，此时地址将指向 FSR 中对应地址的寄存器。

3.1.6 RPAGE~R6-P6 (P6 数据寄存器)

06H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6	-	-	P65	P64	P63	P62	P61	P60
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

端口输入/输出寄存器，P6 端口为 6 位，为可读可写寄存器

3.1.7 RPAGE~R7-CMPCON0 (CMP 控制寄存器 0)

07H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CMPCON0	CMPEN	CMPOUT	CMPRS<5:0>					
读/写	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>:CMPEN -CMP 使能控制位

1:使能

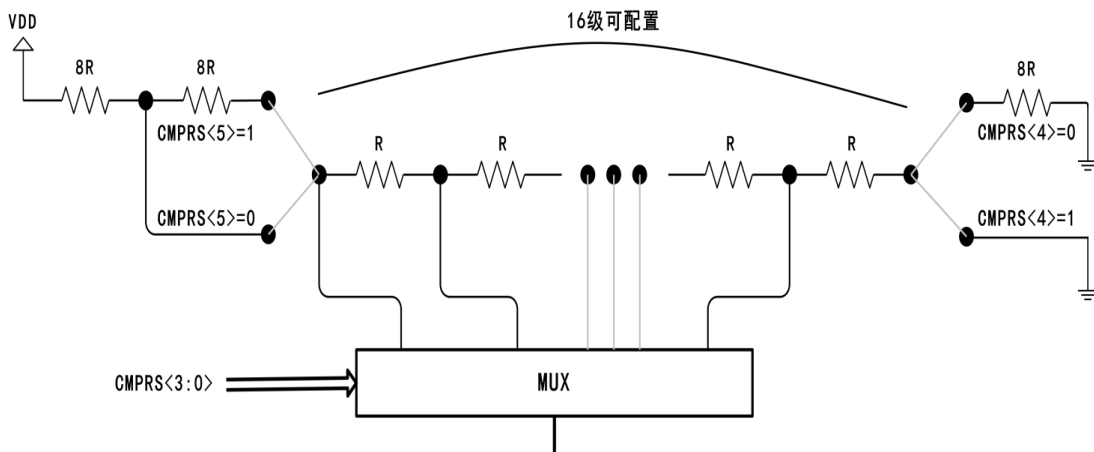
0:禁止

Bit<6>:CMPOUT-CMP 结果输出位

1:比较器正极电压大于负极电压

0:比较器正极电压小于负极电压

Bit<5:0>:CMPRS<5:0>-比较器修调位





3.1.8 RPAGE~R8-TC1CON (TC1/PWM 控制寄存器)

08H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC1CON	TC1EN	BZEN	IPWME	PWME	TC1PTEN	TC1PSR<2:0>		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>:TC1EN -TC1/PWM 计数器使能控制

1:使能

0:禁止

Bit<6>:BZEN-BUZZER 输出使能控制位

1:使能 BUZZER 输出功能, TC1 溢出 BUZZER 翻转 (PWME=0)

0:禁止

Bit<5>:IPWME-IPWM 使能控制位

1:使能 PWM 互补输出 (PWM 取反)

0:禁止

Bit<4>:PWME-PWM 使能控制位

1:使能 PWM 输出 (BZEN=0)

0:禁止

Bit<3:0>:TC1PTEN、TC1PSR2~TC1PSR1 分频系数选择位:

TC1PTEN	TC1PSR<2>	TC1PSR<1>	TC1PSR<0>	分频比
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3.1.9 RPAGE~R9-TC1PRDL (TC1/PWM 周期低 8 位寄存器)

09H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC1PRDL	TC1PRD<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>:TC1PRD<7:0>-TC1/PWM 周期低 8 位数据



3.1.10 RPAGE~RA-PWMDTL (PWM 占空比低 8 位寄存器)

OAH(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMDTL	PWMDT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>:PWMDTL<7:0>-PWM 占空比低 8 位数据

3.1.11 RPAGE~RB-TC1PRDTH (TC1/PWM 周期占空比高 4 位寄存器)

OBH(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC1PRDTH	TC1PRD<11:8>				PWMDT<11:8>			
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:4>:TC1PRD<11:8>-TC1/PWM 周期高四位数据

Bit<3:0>:PWMDT<11:8>- PWM 占空比高四位数据

3.1.12 RPAGE~RC-P6AE (P6 模拟口使能寄存器)

OCH(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6AE	-	-	P6AE<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<5:0>:P6AE<5:0>-P6 模拟口输入使能控制位

1:P6x 设置为模拟输入口

0:P6x 为 GPIO

3.1.13 RPAGE~RD-P6IWE (P6 输入变化中断, 唤醒使能寄存器)

ODH(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6IWE	-	-	P6IWE<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<5:0>:P6IWE<5:0>- P6 输入变化中断、唤醒使能控制位

1:使能

0:禁止

注意:仅当 OPTION 选项 P6 端口唤醒为独立控制 (寄存器为 0x0D) 时有效。



3.1.14 RPAGE~RE-CPUCON (CPU 模式控制寄存器)

OEH(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CPUCON	IPWM	TC1CKS	TCOCKS	TC1WE	TCOWE	STPHX	CLKMD	IDLE
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: IPWM-PWM 互补 (取反) 输出使能位

- 1: PWM 使能互补输出
- 0: PWM 禁止互补输出

Bit<6>: TC1CKS-TC1/PWM 时钟源选择位

- 1: TC1/PWM 选择系统时钟
- 0: TC1/PWM 选择指令周期时钟

Bit<5>: TCOCKS-TC0 时钟源选择位

- 1: 选择系统时钟/低速时钟 (由 TS 决定)
- 0: 选择指令周期时钟/外部输入时钟 (由 TS 决定)

Bit<4>: TC1WE-TC1 唤醒使能位

- 1: TC1/PWM 唤醒使能, 可唤醒空闲模式
- 0: TC1/PWM 唤醒禁止

Bit<3>: TCOWE-TC0 唤醒使能位

- 1: 使能 TC0 唤醒, 可唤醒空闲模式
- 0: 禁止 TC0 唤醒

Bit<2>: STPHX-高速时钟控制位

- 1: 停止高速时钟
- 0: 高速时钟正常工作

Bit<1>: CLKMD-系统时钟选择位

- 1: 系统时钟使用低速 RC 振荡器时钟
- 0: 系统时钟使用高速 IRC

系统从高速模式进入低速模式时 先设置 CLKMD=1, 后设置 STPHX=1;
系统从低速模式进入高速模式时 先设置 STPHX=0, 后设置 CLKMD=0。

Bit<0>: IDLE-空闲模式选择位

- 1: 系统执行 SLEEP 指令时进入空闲模式, 系统时钟正常工作
TC0 和 TC1 在空闲模式下如果选择系统时钟可继续工作, 并可唤醒系统。
- 0: 系统执行 SLEEP 指令时进入睡眠模式

3.1.15 RPAGE~RF-INTF (中断标志寄存器)

OFH(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INTF	-	-	-	CMPIF	TC1IF	INTIF	ICIF	TCOIF
读/写	R	R	R	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:5>: 未使用



Bit<4>:CMP1F-CMPOUT 状态变化中断标志
Bit<3>:TC1IF-TC1/PWM 周期中断标志
Bit<2>:INT1F-外部端口中断标志位
Bit<1>:IC1F-P6 端口输入改变中断标志位
Bit<0>:TC0IF-TC0 中断标志位
 1:有中断, 软件清 0
 0:无中断

INTF 可软件清 0, 但不可软件置 1;

注意:清除中断标志位时, 必须使用 MOV RF,A 操作, 不能使用 BTC 和 AND RF,A 指令操作。



3.2 控制寄存器

3.2.1 IOPAGE~IOC2-TCOCON (TCO 控制寄存器)

02H(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TCOCON	TCOEN	LRCEN	TS	TE	PAB	TCOPSR2~PSR0		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	1	1	1	1	1	1

Bit<7>:TCOEN-TCO 定时器使能位 (时钟源为系统时钟)

0:TCO 计数器禁止

1:TCO 计数器禁止使能

Bit<6>:LRCEN- LRCEN=1、使能看门狗、系统选择低速模式都会使能 ILRC

0:内部低速 RC 振荡器禁止

1:内部低速 RC 振荡器使能

Bit<5>:TS-TCO 信号源选择位

0:内部指令周期时钟 (TCOCKS=0) /系统时钟 (TCOCKS=1)

1:外部输入时钟 (TCOCKS=0) /低速振荡器时钟 (TCOCKS=1)

Bit<4>:TE-TCO 信号边沿选择位

0:TCO 引脚信号发生由低到高变化加 1

1:TCO 引脚信号发生由高到低变化加 1

Bit<3>:PAB-预分频器分配位

0:预分频器分给 TCO

1:预分频器分给 WDT

Bit<2:0>:TCOPSR2~PSR0-TCO/WDT 预分频选择控制位:

TCOPSR2	TCOPSR1	TCOPSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

注意:PAB 及 PSR2~PSR0 切换状态时需先禁止看门狗, 切换完成后再使能看门狗。

3.2.2 IOPAGE~IOC6-P6CON (P6 控制寄存器)

06H(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6CON	-	-	P6CON<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W



复位值	1	1	1	1	1	1	1	1
-----	---	---	---	---	---	---	---	---

P6 方向控制位

1: 定义对应 I/O 引脚为高阻输入状态

0: 定义对应 I/O 为输出状态

3.2.3 IOPAGE~IOC9-TPRE (TC0/WDT 预分频读值寄存器)

09H(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TPRE	TPRE<7:0>							
读/写	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

Bit<5:4>: P6<5:4> 下拉使能控制

0: 使能

1: 禁止 (默认)

3.2.4 IOPAGE~IOCA-CMPCON1 (CMP 控制寄存器 1)

0AH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CMPCON1	CMPOE	CMPINV	CMPIS<5:0>					
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<6:4>: P6<2:0> 下拉使能控制

0: 使能

1: 禁止 (默认)

Bit<7>: CMPOE-比较器结果输出使能控制位

1: 使能, 比较器结果从 P60 输出

0: 禁止, P60 作为 GPIO

Bit<6>: CMPINV-比较器结果取反控制位

1: 取反

0: 不取反

Bit<5>: CMPIS<5>-分压电阻输入电压源选择位

1: P64 口输入

0: VDD 电压

Bit<4:3>: CMPIS<4:3>-比较器正极输入源选择

CMPIS<4>	CMPIS<3>	正极输入源
0	0	电阻分压
0	1	CIN0+/P61
1	0	CIN1+/P64

Bit<2:0>: CMPIS<2:0>-比较器负极输入源选择



CMPIS<2>	CMPIS<1>	CMPIS<0>	负极输入源
0	0	0	CIN0-/P62
0	0	1	CIN1-/P61
0	1	0	CIN2-/P64
0	1	1	CIN3-/P65
1	0	0	电阻分压
1	0	1	VBG (Bandgap 电压 1.2V)

3.2.5 IOPAGE~IOCB-P6PD (P6 下拉控制寄存器)

OBH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6PD	-	-	P6PD<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

Bit<5:0>:P65~P60 下拉使能控制

0:使能

1:禁止

3.2.6 IOPAGE~IOCD-P6PH (P6 上拉控制寄存器)

OBH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6PD	-	-	P6PH<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

Bit<5:0>:P65~P60 上拉使能控制

0:使能

1:禁止

注意:当OPTION选项复位端口上拉选择禁止且P6上下拉控制选择使能时P6PH<3>软件可操作,若复位端口上拉选择使能则P63上拉功能使能且不可软件更改。

3.2.6 IOPAGE~IOCE-WDTCON (WDT/外部中断/TC0 捕获控制寄存器)

OEH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WDTCON	WDTE	CMPWE	INTWE	TCOGATE<2:0>			INTEDG<1:0>	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0

Bit<7>:WDTE-WDT 使能控制



1: 使能

0: 禁止

注意: 看门狗使能需 WDTEN 使能且 OPTION 选项看门狗选择使能。

Bit<6>: CMPWE-比较器状态变化唤醒使能控制位

1: CMP 状态变化唤醒使能

0: CMP 状态变化唤醒禁止

Bit<5>: INTWE-外部中断唤醒使能控制位 (需要设置 INTEDG0=1 或 INTEDG1=1)

1: 外部中断唤醒使能

0: 外部中断唤醒禁止

Bit<4>: TCOGATE<2>-TC0 计数门控使能控制 2

1: TC0 计数由 CMP_FLAG 控制, 当 CMP_FLAG=1 时 TC0 计数

0: CMP 门控禁止

Bit<3>: TCOGATE<1>-TC0 计数门控使能控制 1

1: TC0 计数由 P60 控制, 当 INTEDG1=1 时 P60 为低时 TC0 计数, 当 INTEDG0=1 时 P60 为高 TC0 计数

0: P60 门控禁止

Bit<2>: TCOGATE<0>-TC0 计数门控使能控制 0

1: TC0 外部计数使能 (P62 作为外部计数端口)

0: TC0 外部计数禁止

Bit<1>: INTEDG<1>-外部中断上升沿触发 (TC0 低电平捕获计数由 TCOGATE<1>使能)

1: 外部中断上升沿触发使能

0: 外部中断上升沿触发禁止

Bit<0>: INTEDG<0>-外部中断下降沿触发 (TC0 高电平捕获计数由 TCOGATE<1>使能)

1: 外部中断下降沿触发使能

0: 外部中断下降沿触发禁止

3.2.7 IOPAGF~IOCF-INTE (中断使能寄存器)

OFH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INTE	-	-	-	CMPIE	TC1IE	INTIE	ICIE	TCOIE
读/写	R	R	R	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<4>: CMPIE-比较器状态变化中断使能控制位

1: 使能

0: 禁止

Bit<3>: TC1IE-TC1/PWM 周期中断使能控制位

1: 使能

0: 禁止

Bit<2>: INTIE-外部中断使能控制位

1: 使能

0: 禁止

Bit<1>: ICIE-端口状态改变中断使能控制位



1: 使能

0: 禁止

Bit<0>: TCOIE-TCO 溢出中断使能控制位

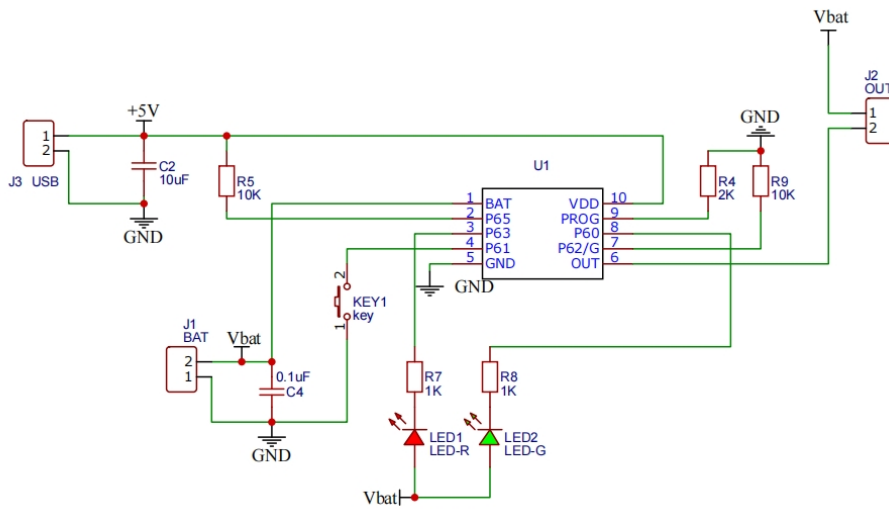
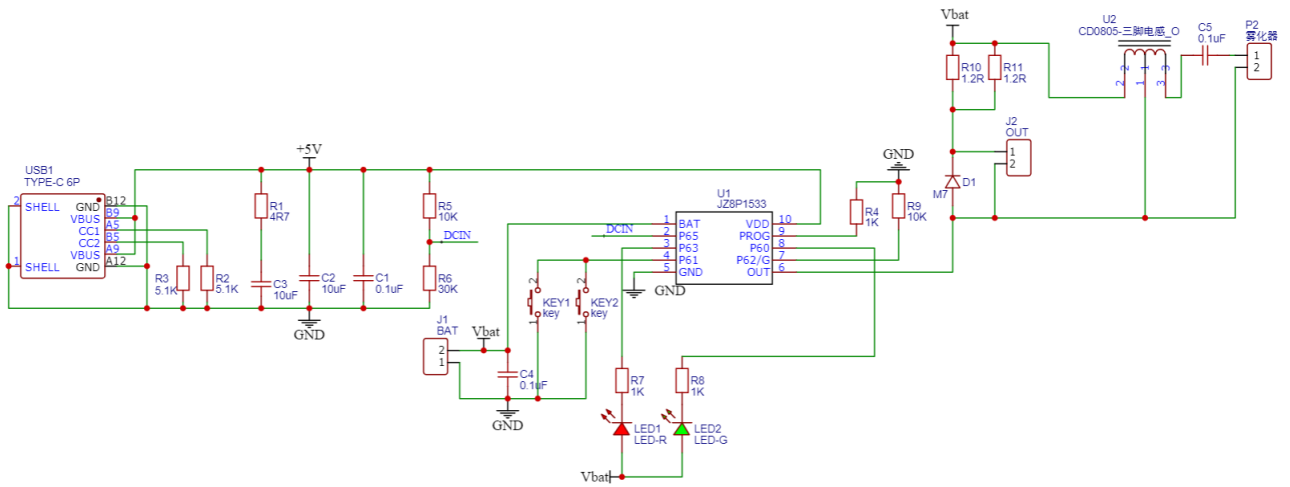
1: 使能

0: 禁止

注: 外部端口唤醒不再需要设置 ICIE=1



4 典型应用电路

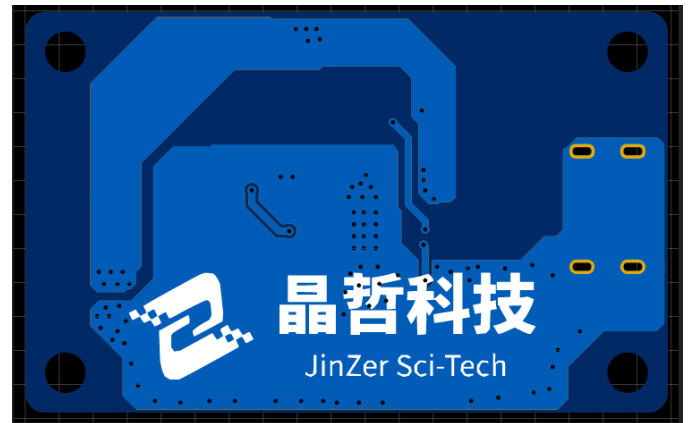
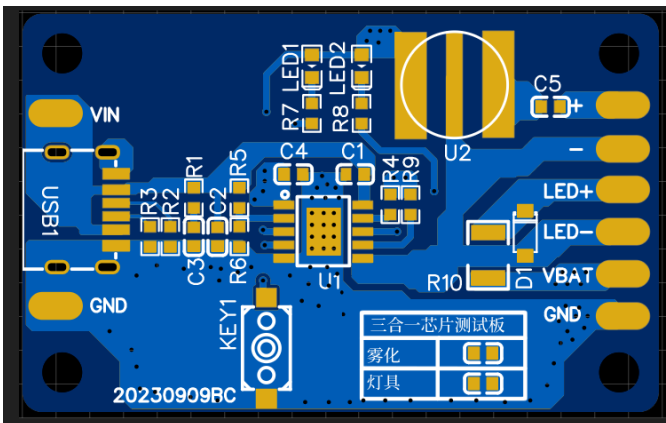
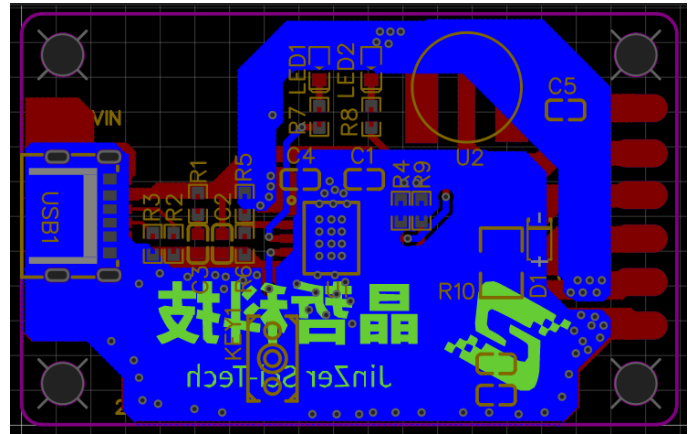
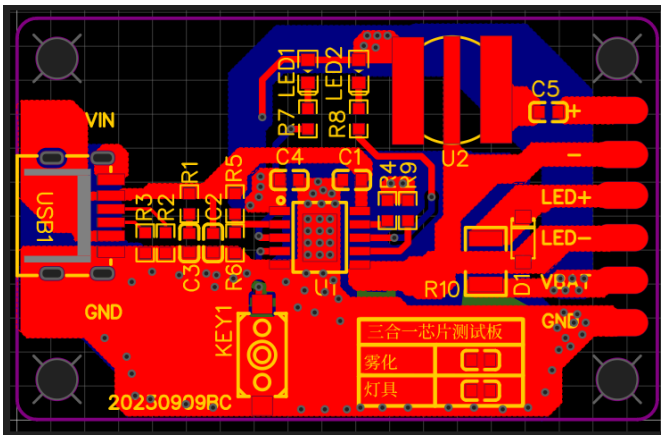


简易应用电路



5 PCB 布局注意事项

注：JZ8P1533在充电和放电时会产生热量，热量来源主要是内部充电电路和内部NMOS。在PCB布线时要注意散热处理，芯片的内部热量主要通过第5脚和第6脚传导出来，所以在PCB布线时，应在JZ8P1533的第5脚和第6脚处设置大面积铜皮散热。





6 芯片电气特性

6.1 芯片极限参数

工作温度(°C):	(√) E: -40~85;
存储温度(°C):	(√) -65~+150;
极限电压(V)	(√) 其它 -0.3~6;
极限输入电压(V)	(√) 其它 GND-0.3~VDD+0.5;
极限输出电压(V)	(√) 其它 GND-0.3~VDD+0.5;

6.2 芯片直流参数 (T=25°C, VDD=5V)

符号	参数说明	条件	最小	典型	最大	单位
IRC1	IRC1 (校正后)	OPTION 选择 8MHz	-	8	-	MHz
IRC2	IRC2 (校正后)	OPTION 选择 4.8MHz	-	4.8	-	MHz
IRC3	IRC3 (校正后)	OPTION 选择 1MHz	-	1	-	KHz
IOH1	输出高电平驱动 (除 P63 外)	Ioh=4.4V	4.5	5	5.5	mA
IOH2	输出高电平驱动 (P63)	Ioh=4.4V	11	12	-	mA
IOL1	I0 输出低电平驱动 (除 P63)	Iol=0.6V	16	17	18	mA
IOL2	I0 输出低电平驱动 (P63)	Iol=0.6V	13	14	15	mA
IPH1	上拉电流 (除 P63 外)	上拉使能, 输入接地	80	118	130	μA
IPH2	上拉电流 (P63)	上拉使能, 输入接地	80	100	130	μA
IPD	下拉电流 (除 P63 外)	下拉使能, 输入接 VDD	45	55	80	μA
I _{sb1}	关机电流 1	输入接 VDD, 输出悬空, WDT、LVD 禁用	-	-	1	μA
I _{sb2}	关机电流 2	输入接 VDD, 输出悬空, WDT 使能, LVD 禁用	-	-	12	μA
I _{op2}	工作电流 1 (VDD=5V)	IRC=8MHz 2clock	-	1.2	1.5	mA
I _{op2}	工作电流 2 (VDD=5V)	IRC=1MHz 2clock	-	0.2	0.3	mA
LVR	低电压复位电压	选择 LVR 复位点	V _{lvr} -0.2	V _{lvr}	V _{lvr} +0.2	V

注: 以上参数仅做参考, 请以目标样机实测数据为准。



7 封装尺寸信息

7.1 SSOP10 封装尺寸

单位: mm

