

高性能准谐振交直流转换芯片

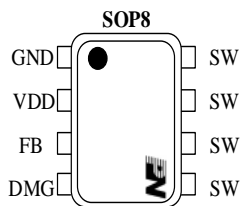
NeoFET

概述

PN8161内部集成了准谐振工作模式的电流模式控制器和NeoFET，专用于高性能、外围元器件精简的交直流转换开关电源。

该芯片提供了极为全面和性能优异的保护功能，包括输出过压保护、逐周期过流保护、过载保护、软启动、输入欠压保护功能。通过QR-PWM、QR-PFM、Burst-mode的三种模式混合调制技术和特殊器件低功耗结构技术实现了超低的待机功耗、全电压范围下的最佳效率。频率调制技术和Soft Driver技术充分保证良好的EMI表现。

封装/订购信息



订购代码	封装	典型功率
PN8161SE-S1	SOP8	20W
PN8161SE-U1	SOP8	20W
PN8161SE-G1	SOP8	20W

注：最大输出功率是在环境温度45°C的密闭式应用情形下测试

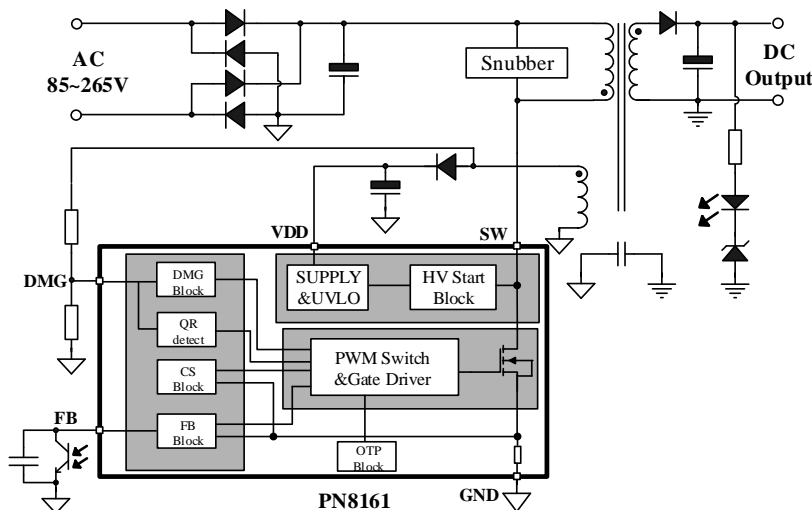
特性

- 内置专利的NeoFET，自带高压启动和峰值电流侦测，可提高系统功率密度、降低系统待机功耗、快速侦测异常保护提高可靠性等优点
- 准谐振工作
- 最高开关频率125kHz
- 外围精简，无需启动电阻及CS检测电阻
- 高低压脚位两侧排列提高安全性
- 内置高压启动，空载待机功耗<50mW @230VAC
- 改善EMI的频率调制技术
- 供电电压9-38V，适合宽输出电压应用
- 优异全面的保护功能
 - ◇ 过温保护
 - ◇ 输出过压保护
 - ◇ 输入欠压保护
 - ◇ 逐周期过流保护
 - ◇ 输出开/短路保护
 - ◇ 次级整流管短路保护
 - ◇ 过负载保护

应用领域

- 充电器
- 适配器
- 开放式开关电源

典型应用示意图



管脚定义

管脚名	管脚标号	管脚功能描述
GND	1	地
VDD	2	工作电压输入引脚
FB	3	反馈输入引脚
DMG	4	去磁引脚, 通过电阻分压采样输出电压和输入电压
SW	5,6,7,8	高压MOSFET漏极脚

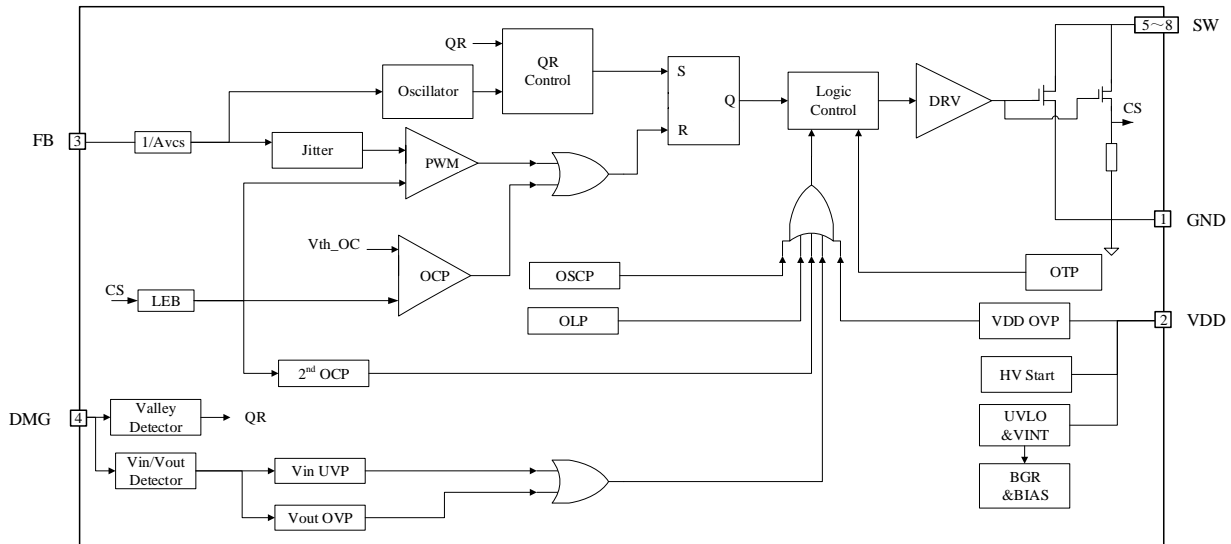
典型功率

封装	输入电压	密闭式条件 ⁽¹⁾
SOP8	90~265V _{AC}	20W

备注:

1. 最大输出功率是在环境温度 45 °C 的密闭式应用情形下测试。

功能框图



绝对最大额定值⁽¹⁾

VDD脚耐压 ⁽²⁾	-0.3~40V	存储温度范围.....	-55~150℃
FB脚耐压 ⁽²⁾	-0.3~6V	管脚焊接温度（10秒）.....	260℃
DMG脚耐压 ⁽²⁾	-0.3~6V	封装热阻 θ_{JC} （SOP8）.....	40℃/W
SW脚耐压 ⁽²⁾	-0.3~650V	人体模式ESD能力 ⁽³⁾ （HBM）.....	±2kV
结工作温度范围.....	-40~150℃	漏极脉冲电流（ $T_{pulse}=100\mu s$ ）.....	5A

备注:

- 加在器件上的电压，电流或温度如果超过绝对最大额定值，可能会导致器件退化或永久性地损坏。这里只是给出能够承受的限值，并不意味着在此条件下器件的功能性操作无误，器件长期工作在绝对最大额定值条件下会影响器件的可靠性。
- 负压能力：-1V @重复脉冲<20us，小于-1V@流入芯片引脚电流绝对值不大于100mA。
- 产品委托第三方严格按照芯片级ESD标准(ANSI/ESDA/JEDEC JS-001-2017)中的测试方式和流程进行测试。

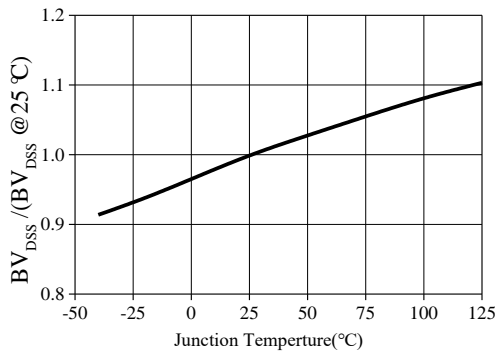
电气特性

(T_A= 25℃, 除非另有说明。)

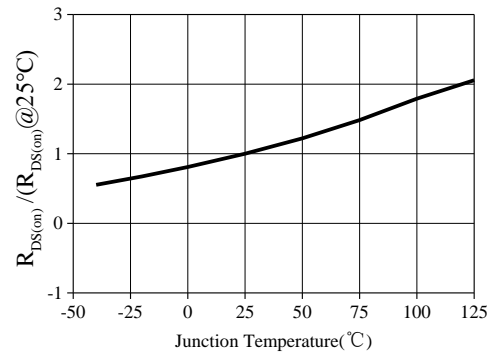
参数	符号	条件	最小值	典型值	最大值	单位
功率部分						
功率管耐压	BV _{DSS}	I _{SW} =250uA, T _J =25℃	650			V
关态漏电流	I _{OFF}	V _{SW} =520V, T _J =25℃			40	μA
导通电阻 (PN8161SE-S1)	R _{DSON}	I _{SW} =1.0A, T _J =25℃		0.8		Ω
导通电阻 (PN8161SE-U1)	R _{DSON}	I _{SW} =1.0A, T _J =25℃		1.2		Ω
导通电阻 (PN8161SE-G1)	R _{DSON}	I _{SW} =1.0A, T _J =25℃		1.6		Ω
VDD电压部分						
VDD启动阈值电压	V _{DDon}		15.0	16.5	17.5	V
VDD欠压保护阈值电压	V _{DDOFF}		7.0	8.0	9.0	V
VDD BM保持阈值	V _{hold}			9		V
VDD过压保护电压	V _{DDOVP}		38.0	39.0	40.0	V
VDD电流部分						
启动管充电电流	I _{VDDCH}		-2.0	-1	-0.5	mA
开关态工作电流	I _{VDD0}	V _{FB} =3.5V	1.0	2.5	4.0	mA
间歇态工作电流	I _{VDD1}	V _{FB} =0.5V	0.4	0.8	1.5	mA
保护态工作电流	I _{VDDFault}		0.2	0.6	1.5	mA
FB检测部分						
FB开路电压	V _{FB}		4.6	4.8	5.4	V
FB短路电流	I _{FBSHORT}		0.18	0.22	0.24	mA
降频模式阈值电压	V _{FBPFM}	V _{DMG} ≥1.74V		2.5		V

参数	符号	条件	最小值	典型值	最大值	单位
		$V_{DMG} \leq 1.66V$		2		V
间歇模式阈值电压	V_{FB_BM}			1.15		V
间歇模式迟滞电压	$V_{FB_BM_HYS}$			100		mV
过载保护阈值电压	V_{th_OLP}	$VDD=18V$	4.0	4.3	4.5	V
CS电流检测部分						
软启动时间	T_{SS}			7.5		ms
前沿消隐时间	T_{LEB}			400		ns
最大峰值电流	I_{Dlim}		1.05	1.10	1.20	A
Burst-mode 峰值电流	I_{Dbm}			0.3		A
次级整流短路保护阈值	I_{DSP}			2.2		A
次级整流短路保护延迟时间	T_{d_DSP}			7		Cycles
DMG检测部分						
输出过压保护阈值	V_{DMG_OVP}	$V_{FB}=2.0V$	2.7	3	3.3	V
输出过压保护延迟时间	T_{d_DOVP}			7		Cycles
最大时钟开启等待时间	T_{hold}			5		us
最大开启时间	T_{on_max}			25		us
最高工作频率	F_{osc_QR}			125		kHz
间歇态工作频率	F_{osc_BM}		22	25	28	kHz
输入欠压保护阈值	I_{DMG_BNO}		180	200	220	uA
输入欠压保护延迟时间	T_{d_BNO}			30		ms
过温保护部分						
过温保护温度	T_{SD}		130	145		℃
过温保护回差	T_{HYST}			20		℃

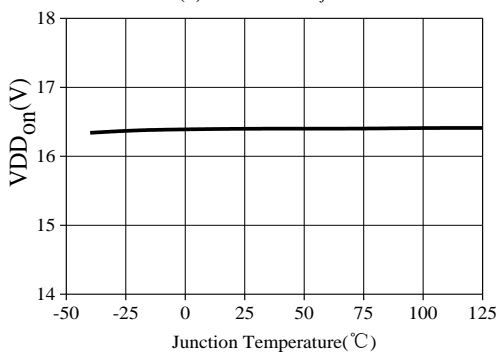
特性曲线



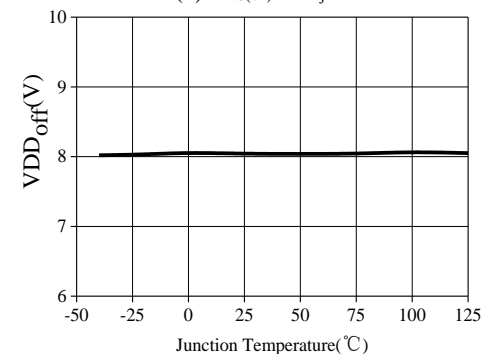
(a) BV_{DSS} vs T_j



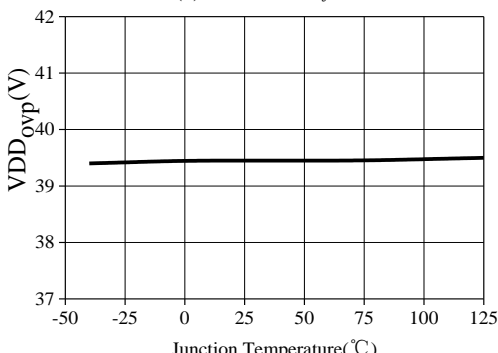
(b) R_{DS(on)} vs T_j



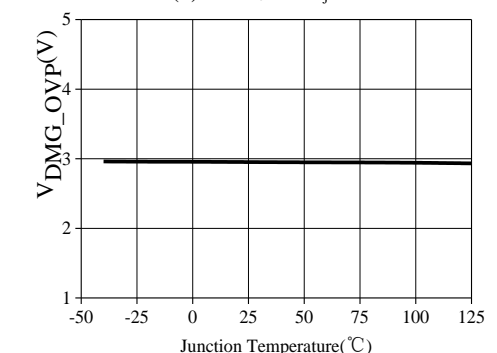
(c) V_{DD_on} vs T_j



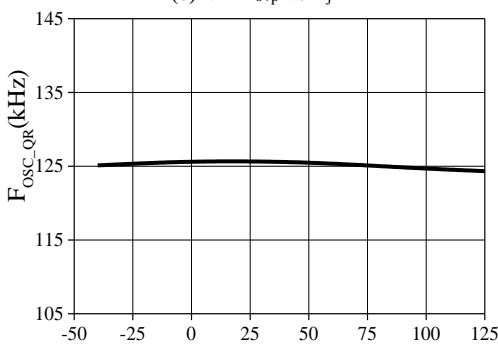
(d) V_{DD_off} vs T_j



(e) V_{DD_ovp} vs T_j



(f) V_{DMG_OVP} vs T_j



(g) F_{OSC_QR} vs T_j

功能描述

1. 启动

在启动阶段，内部高压启动管提供充电电流对外部VDD电容进行充电。当VDD电压达到VDD_{on}，芯片开始工作；高压启动管停止对VDD电容充电。启动过程结束后，变压器辅助绕组对VDD电容提供能量。

2. 软启动

启动阶段，漏极的最大峰值电流限制逐步的提高；因此可以大大减小器件的应力，防止变压器饱和。

3. 输出驱动

PN8161采用优化的图腾柱结构驱动技术，通过合理的输出驱动能力以及死区时间，得到较好的EMI特性和较低损耗。

4. 谷底开通

PN8161是一款工作于准谐振模式的集成芯片，通过DMG检测到的消磁信号实现精确谷底开通，以提高系统的转换效率。

在PWM模式，由第一谷底产生开启信号，工作频率由系统设计的变压器参数决定，最高工作频率限制在F_{osc_QR0}。

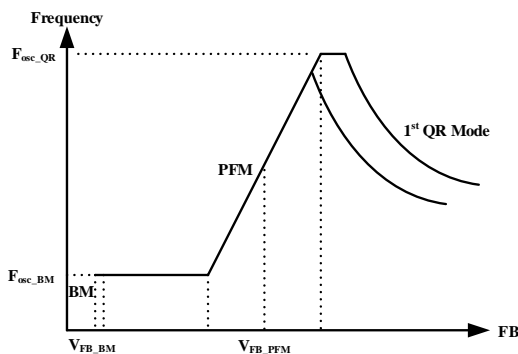


图1. FB与工作频率曲线示意图

5. 降频工作模式

PN8161提供降频工作模式，通过检测FB脚电压，在轻载和空载条件下降低开关频率以提高轻载效率。当FB脚电压小于V_{FB_PFM}，芯片进入

降频工作模式，开关频率随负载降低而降低，直至最小频率F_{osc_BM0}。

6. 间歇工作模式

极轻载时，PN8161进入间歇工作模式以减小待机功耗。当负载减轻，反馈电压减小；当FB脚电压小于V_{FB_BM}，芯片进入间歇工作模式，功率管关断。当FB脚超过V_{FB_BM} + V_{FB_BM_HYS}时，开关管再次导通。

7. 去磁引脚DMG

PN8161去磁引脚DMG，通过电阻分压采样输出电压和输入电压，同时实现了波谷检测、输出过压保护和输入欠压保护的功能。

8. 过载保护

如果负载电流超过预设值时，系统会进入过载保护。当V_{FB}电压超过V_{th_OLP}，经过固定延迟时间，开关模式停止。

9. 输入/输出保护

PN8161通过DMG脚在芯片开启阶段采样输入电压，实现输入欠压保护。同时，PN8161通过DMG脚在芯片关断阶段采样输出电压实现精确的输出过压保护。

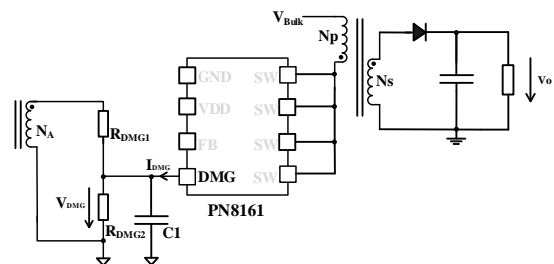


图2. DMG脚外围电路示意图

输入欠压保护(V_{Bulk_BNO}):

$$V_{Bulk_BNO} = R_{DMG1} \times I_{DMG_BNO} \times \frac{N_P}{N_A} \quad (1)$$

输出过压保护(V_{DMG_OVP}):

$$V_{O_OVP} = V_{DMG_OVP} \times \frac{N_S}{N_A} \times \frac{(R_{DMG1} + R_{DMG2})}{R_{DMG2}} \quad (2)$$

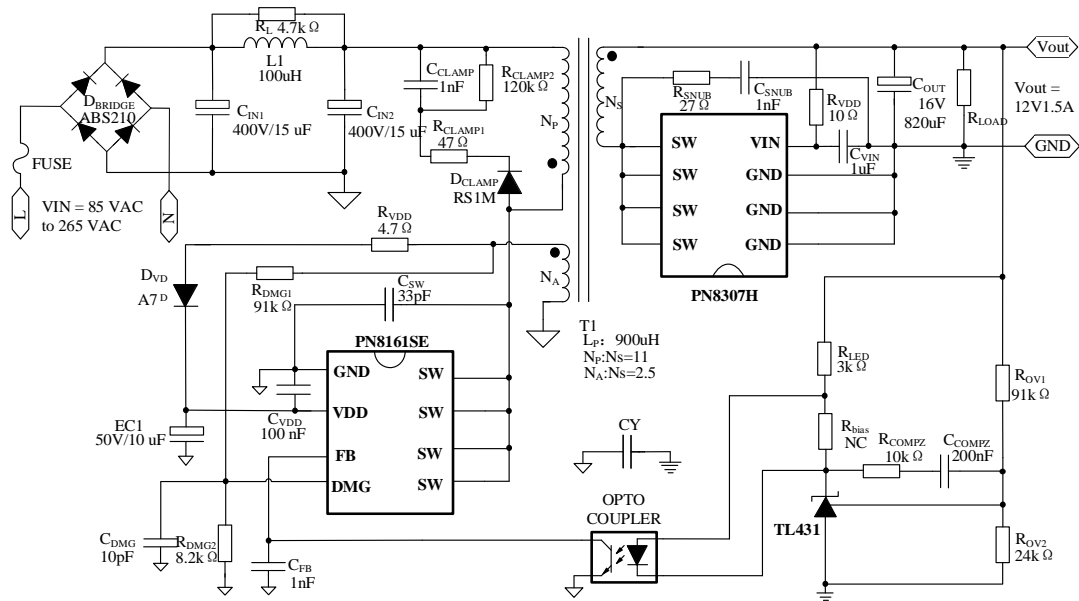
其中 R_{DMG1} 是指DMG上偏电阻，单位 Ω ， R_{DMG2} 是指DMG下偏电阻，单位 Ω ， N_A 是指变压器辅助绕组圈数， N_P 是指变压器原边绕组圈数， N_S 是指变压器副边绕组圈数， I_{DMG_BNO} 是指输入欠压保护阈值，单位A， V_{Bulk_BNO} 是指整流桥后欠压保护电压，单位V， V_{DMG_OVP} 是指输出过压保护电压，单位V。

10. 过温保护

功率NeoFET和控制芯片集成在一起，使得控制电路更易于检测NeoFET的温度。当温度超过 T_{SD} （过温保护温度），芯片进入过温保护状态。当温度低于 $T_{SD} - T_{HYST}$ 时，芯片重新工作。

备注：以上公式均基于典型应用电路图，仅供原理解。

典型应用电路图



外围参数选择参考

为了获得最佳的 PN8161 系统性能，请务必遵守以下规则：

1. EC1 建议使用 10uF/50V 电解电容；
2. VDD 电容 C_{VDD} 应放置在距离 VDD 引脚和 GND 引脚最近的地方；
3. PN8161 GND 引脚到输入电解电容地的走线尽量短而粗；
4. PN8161 DMG 脚建议并联电容 C_{DMG} 以提升采样网络的抗干扰性，推荐值 10pF；
5. PN8161 FB 脚建议并联电容 C_{FB} 以提升系统环路的稳定性，推荐值 1nF；
6. 建议 D1 供电二极管串联电阻 R_{VDD} 以提升系统安规能力，推荐值 4.7Ω；
7. 电阻 R_{LED} 影响环路直流增益，推荐值 3kΩ；
8. PCB 布板时，PN8161 和 PN8307H SOP8 封装引脚正下方禁止大面积敷铜，避免波峰焊异常时造成封装分层失效；
9. 有不同类型的主电路或外围电路设计请与我司书面确认。

封装信息

封装外形尺寸SOP8

尺寸 符号	最小 (mm)	最大 (mm)	尺寸 符号	最小 (mm)	最大 (mm)
A	1.300	1.750	E	5.800	6.25
A1	0.000	0.250	E1	3.750	4.150
A2	1.250	1.600	e	1.27	
b	0.306	0.510	L	0.400	1.270
c	0.150	0.250	θ	0°	12°
D	4.700	5.100			

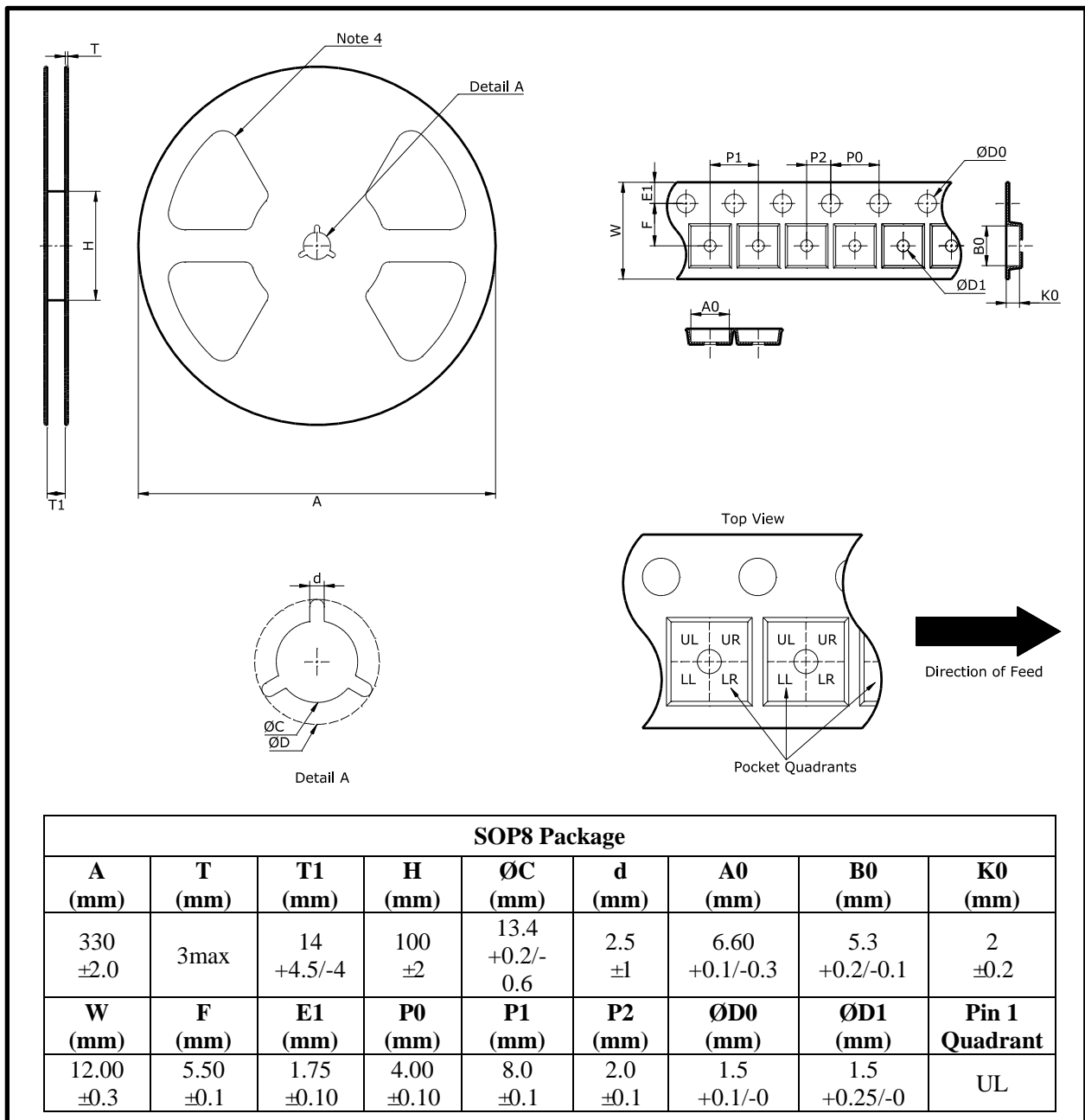
表层丝印 PN PN8161 YWWXXXXX	封装 SOP8
---	-------------------

备注: Y: 年份代码; WW: 周代码; XXXXX: 内部代码

备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边。

编带和卷轴信息



备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例, 且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

重要声明

无锡芯朋微电子股份有限公司保留更改规格的权利，恕不另行通知。无锡芯朋微电子股份有限公司对任何将其产品用于特殊目的的行为不承担任何责任，无锡芯朋微电子股份有限公司没有为用于特定目的的产品提供使用和应用支持的义务。无锡芯朋微电子股份有限公司不会转让其专利许可以及任何其他的相关许可权利。

任何半导体产品在特定条件下都有一定的失效或者发生故障的可能，买方有责任在使用我司产品进行系统设计、试样和整机制造时遵守安全标准并采取安全措施，充分进行验证，以避免潜在失败风险可能造成人身伤害或者财产损失情况的发生。