



# 芯片规格书

产品名称： 2.4G 无线收发芯片

产品型号： JZRT201

版本:V1.0

日期:2019-02



## 产品概述

JZRT201 系列芯片是工作在 2.400~2.483GHz 世界通用 ISM 频段的单片无线收发芯片。该芯片集成射频收发机、频率发生器、晶体振荡器、调制解调器等功能模块，并且支持一对多组网和带 ACK 的通信模式。发射输出功率、工作频道以及通信数据率均可配置。芯片已将多颗外围贴片阻容感器件集成到芯片内部。

## 主要特性

### 1、功耗较低

发射模式 (2dBm) 工作电流 19mA; 接收模式工作电流 15mA; 休眠电流 2uA。

### 2、节省外围器件

支持外围 5 个元器件，包括 1 颗晶振和 4 个贴片电容;

支持双层或单层印制板设计，可以使用印制板微带天线;

芯片自带部分链路层的通信协议; 配置少量的参数寄存器，使用方便。

### 3、性能优异

250K / 1M / 2M bps 模式的接收灵敏度为 -91 / -87 / -83dBm; 发射输出功率最大可达 10dBm; 抗干扰性好，接收滤波器的邻道抑制度高，接收机选择性较好

## 其他特性

四线 SPI 接口通信	SPI 接口速率最高支持 4Mbps
支持最大数据长度为 32 字节 (两级 FIFO) 或者 64 字节 (单级 FIFO)	QFN20L0303 / SOP16 / SOP8 封装
1M / 2Mbps 模式，需要晶振精度 $\pm 40\text{ppm}$ 250kbps 模式，需要晶振精度 $\pm 20\text{ppm}$	工作电压支持 2.3~3.3V 工作温度支持 -40~+85°C
GFSK 通信方式	支持自动应答及自动重传
支持 RSSI 检测功能	带自动扰码和 CRC 校验功能

## 典型应用

无线鼠标键盘	电视和机顶盒遥控器
无线游戏手柄	遥控玩具
有源无线标签	智能家居及安防系统



## 目录

1. 电气特性.....	4
2. 极限最大额定值.....	6
3. 系统结构方框图.....	6
4. 引脚定义.....	7
5. 芯片工作状态.....	7
5.1 休眠模式.....	8
5.2 待机模式-I (STB1) .....	8
5.3 待机模式-III (STB3) .....	8
5.4 待机模式-II (STB2) .....	8
5.5 接收模式.....	8
5.6 发射模式.....	8
6. 数据通信模式.....	9
6.1 普通模式.....	9
6.2 增强模式.....	10
6.3 增强发送模式.....	10
6.4 增强接收模式.....	10
6.5 增强模式下的数据包识别.....	11
6.6 增强模式下的 PTX 和 PRX 的时序图.....	11
6.7 增强模式下的接收端一对多通信.....	12
6.8 DATA FIFO.....	13
6.9 中断引脚.....	14
7. SPI 控制接口.....	14
7.1 SPI 指令格式.....	14
7.2 SPI 时序.....	15
8. 控制寄存器.....	17
9. 数据包格式描述.....	30
9.1 普通模式的数据包形式.....	30
9.2 增强模式的数据包形式.....	30
9.3 增强模式 ACK 包形式.....	30
10. 典型应用电路 (参考) .....	30
11. 方案调试注意点.....	31



## 1. 电气特性

表 1. JZRT201 系列芯片主要电特性

特 性	测试条件(VCC = 3V±5%, TA=25℃)	参数值			单位
		最小	典型	最大	
ICC	休眠模式		2		uA
	待机模式 1		30		uA
	待机模式 3		650		uA
	待机模式 2		780		uA
	发射模式 (-35dBm)		9		mA
	发射模式 (-20dBm)		9.5		mA
	发射模式 (0dBm)		16		mA
	发射模式 (2dBm)		19		mA
	发射模式 (8dBm)		30		mA
	发射模式 (10dBm)		37		mA
	接收模式 (250Kbps)		15		mA
	接收模式 (1Mbps)		15.5		mA
	接收模式 (2Mbps)		16.5		mA
系统指标					
$f_{OP}$	工作频率	2400		2483	MHz
$PLL_{res}$	锁相环频率步径		1		MHz
$f_{XTAL}$	晶振频率		16		MHz
DR	码率	0.25		2	Mbps
$\Delta f_{250K}$	调制频偏@250Kbps		125	150	KHz
$\Delta f_{1M}$	调制频偏@1Mbps		160	300	KHz
$\Delta f_{2M}$	调制频偏@2Mbps		320	550	KHz
$FCH_{250K}$	频道间隔@250Kbps		1		MHz
$FCH_{1M}$	频道间隔@1Mbps		1		MHz
$FCH_{2M}$	频道间隔@2Mbps		2		MHz
发射模式指标					
PRF	典型输出功率	2	8	10	dBm
PRFC	输出功率范围	-35		10	dBm
PBW1	发射带数据调制的 20dB 带宽 (250Kbps)		500		KHz
PBW2	发射带数据调制的 20dB 带宽 (1Mbps)		1		MHz
PBW3	发射带数据调制的 20dB 带宽 (2Mbps)		2		MHz
接收模式指标 (注 1)					



$RX_{max}$	误码率<0.1%时的最大接收幅度		0		dBm
$RXSENS1$	接收灵敏度 (0.1%BER) @250Kbps		-91		dBm
$RXSENS2$	接收灵敏度 (0.1%BER) @1Mbps		-87		dBm
$RXSENS3$	接收灵敏度 (0.1%BER) @2Mbps		-83		dBm
接收模式邻道选择性					
$C / I_{CO}$	同频的通道选择性@250kbps		2		dBc
$C / I_{1ST}$	第 1 相邻道选择性@250kbps		-8		dBc
$C / I_{2ND}$	第 2 相邻道选择性@250kbps		-18		dBc
$C / I_{3RD}$	第 3 相邻道选择性@250kbps		-24		dBc
$C / I_{4TH}$	第 4 相邻道选择性@250kbps		-28		dBc
$C / I_{5TH}$	第 5 相邻道选择性@250kbps		-32		dBc
$C / I_{6TH}$	第 6 相邻道选择性@250kbps		-35		dBc
$C / I_{CO}$	同频的通道选择性@1Mbps		10		dBc
$C / I_{1ST}$	第 1 相邻道选择性@1Mbps		1		dBc
$C / I_{2ND}$	第 2 相邻道选择性@1Mbps		-18		dBc
$C / I_{3RD}$	第 3 相邻道选择性@1Mbps		-23		dBc
$C / I_{4TH}$	第 4 相邻道选择性@1Mbps		-28		dBc
$C / I_{5TH}$	第 5 相邻道选择性@1Mbps		-32		dBc
$C / I_{6TH}$	第 6 相邻道选择性@1Mbps		-35		dBc
$C / I_{CO}$	同频的通道选择性@2Mbps		10		dBc
$C / I_{1ST}$	第 1 相邻道选择性@2Mbps		-6		dBc
$C / I_{2ND}$	第 2 相邻道选择性@2Mbps		-10		dBc
$C / I_{3RD}$	第 3 相邻道选择性@2Mbps		-22		dBc
$C / I_{4TH}$	第 4 相邻道选择性@2Mbps		-28		dBc
$C / I_{5TH}$	第 5 相邻道选择性@2Mbps		-34		dBc
操作条件					
$VDD$	供电电压	2.3	3	3.3	V
$VSS$	芯片地		0		V
$V_{OH}$	高电平输出电压	VDD-0.3		VDD	V
$V_{OL}$	低电平输出电压	VSS		VSS+0.3	V
$V_{IH}$	高电平输入电压	VDD-0.3		VDD	V
$V_{IL}$	低电平输入电压	VSS		VSS+0.3	V

注 1: 在晶振 16MHz 的整数倍 (如 2416、2432MHz 等) 的频道及相邻正负 1MHz 的频道的接收灵敏度退化 2dB; 发射信号调制精度 (EVM) 退化 10%。

注 2: 250kbps 模式下发送数据长度最多 16 字节。



## 2. 极限最大额定值

表 2. JZRT201 系列芯片极限最大额定值

参数	条件	最小	典型	最大	单位
$V_{DD}$	供电电压	-0.3		3.6	V
$V_I$	输入电压	-0.3		3.6	V
$V_O$	输出电压	VSS		VDD	
$Pd$	总功耗(TA=-40°C~85°C)			300	mW
$T_{OP}$	工作温度	-40		85	°C
$T_{STG}$	存储温度	-40		125	°C

注 1: 使用中强行超过一项或多项极限最大额定值会导致器件永久性损坏。

注 2: 静电敏感器件, 操作时遵守防护规则。

## 3. 系统结构方框图

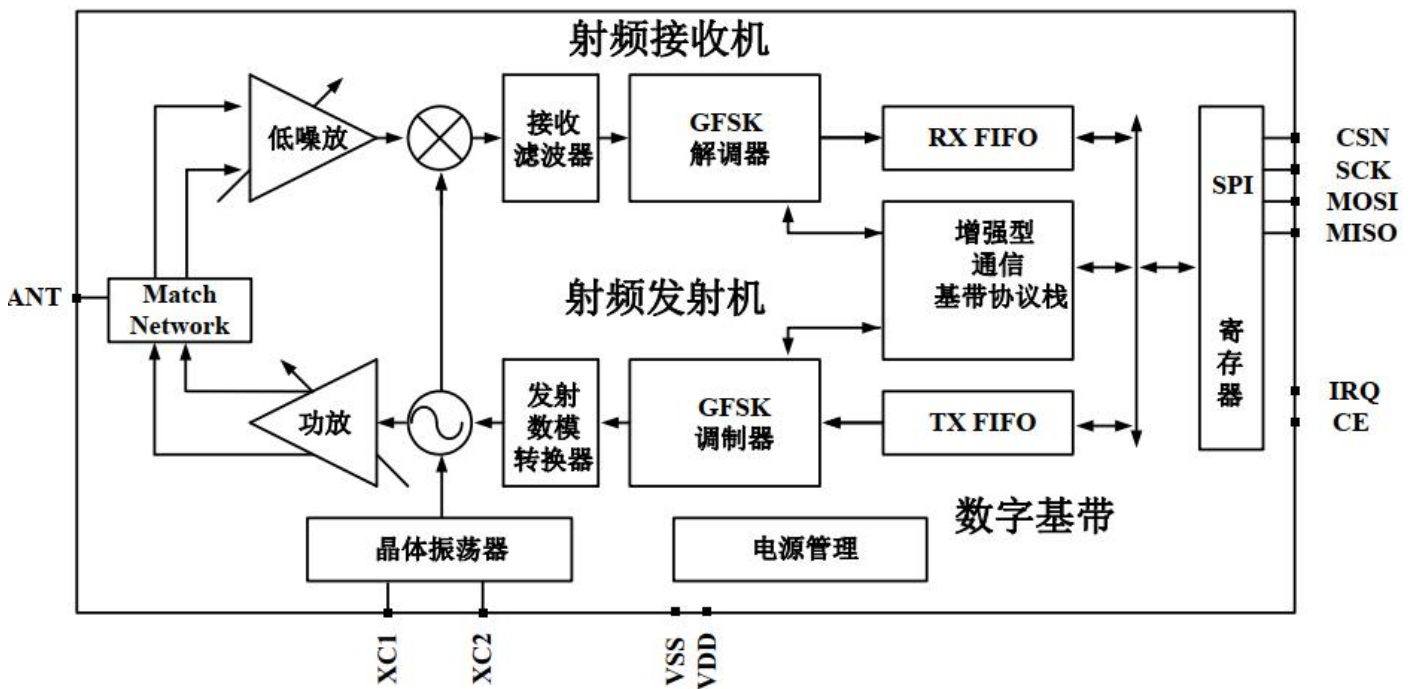


图 1. JZRT201 芯片系统结构方框图



## 4. 引脚定义

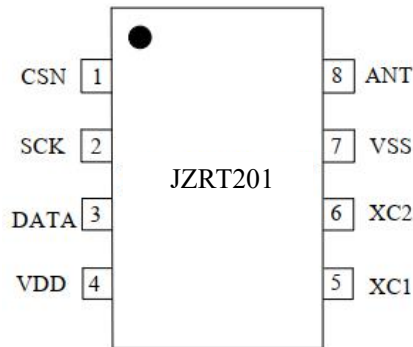


图 2. JZRT201 引脚功能图

表 3. 引脚功能说明

序号	符号	功能	序号	符号	功能
1	CSN	SPI 片选信号	5	XC1	晶振输入
2	SCK	SPI 时钟信号	6	XC2	晶振输出
3	DATA	SPI 数据输入输出信号	7	VSS	地 (GND)
4	VDD	电源输入	8	ANT	射频信号输入输出

## 5. 芯片工作状态

本章描述 JZRT201 系列芯片的各种工作模式, 以及用于控制芯片进入各工作模式的方法。JZRT201 芯片自带状态机受控于芯片内部寄存器的配置值和外部引脚信号。

图 3 是 JZRT201 工作状态图, 表示 5 种工作模式之间的跳变。JZRT201 在 VDD 大于 2.3V 才开始正常工作。即使进入休眠模式, MCU 还是可以通过 SPI 发送配置命令及 CE 管脚使芯片进入其它 5 种状态。

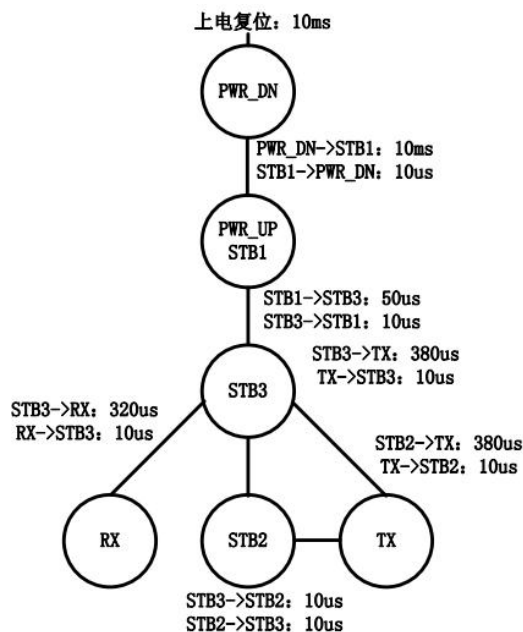


图 3. 工作状态图



表 4. 控制信号和功能描述

状态名	PWR_DN	STB1	STB3	STB2	RX	TX
控制信号						
PWR_UP	0	1	1	1	1	1
EN_PM	0	0	1	1	1	1
CE	0	0	0	1	1	1
PRIM_RX	X	X	X	0	1	0
功能描述						
SPI 操作	√	√	√	√	√	√
保存 reg 值	√	√	√	√	√	√
晶振起振	X	√	√	√	√	√
晶振输出	X	X	X	√	√	√
电源 管理 模块使能	X	X	√	√	√	√
发射模块使能	X	X	X	X	X	√
接收模块使能	X	X	X	X	√	X

## 5.1 休眠模式

在休眠模式下, JZRT201 所有功能关闭, 保持电流消耗最小。进入休眠模式后, JZRT201 停止工作, 但寄存器内容保持不变。休眠模式由寄存器中 PWR\_UP 位控制。

## 5.2 待机模式-I (STB1)

在待机模式-I 下, 芯片维持晶振振荡但不输出给其它模块, 其余功能模块均关闭, 消耗电流较小。在休眠模式下, 通过配置寄存器 PWR\_UP 的值为 1, 芯片即可进入待机模式-I。而处于发射或接收模式时, 可以通过配置 CE 和 EN\_PM 控制信号为 0, 芯片返回到待机模式-I。

## 5.3 待机模式-III (STB3)

在待机模式-I 时, 配置 EN\_PM 控制信号为 1, 芯片进入到待机模式-III。待机模式-III 主要目的是使得芯片的电源管理模块必须先于晶振输出。

## 5.4 待机模式-II (STB2)

发送端 TX FIFO 寄存器为空并且 CE 引脚置 1, 进入待机模式-II (待机模式-II 通常可以理解为预备发射模式)。此时, 晶振有较强的输出驱动能力且芯片的电源管理模块开启。待机模式-II 下, 如果有数据包送入 TX FIFO, 此时芯片内部锁相环立刻启动工作并且经过一段锁相环的锁定时间后, 发射机将数据包发射出去。

## 5.5 接收模式

当 PWR\_UP、PRIM-RX、EN\_PM、CE 置 1 时, 进入接收模式。在 RX 模式下, 射频部分接收从天线来的信号, 将其放大、下变频、滤波和解调, 根据地址、校验码、数据长度等, 判断是否收包有效, 有效收包上传 RX FIFO, 上报中断。如果 RX FIFO 是满的, 接收的数据包就会被丢弃。

## 5.6 发射模式

当 PWR\_UP、EN\_PM 置 1, PRIM-RX 置 0, CE 置 1, 且 TX FIFO 中存在有效数据, 进入发射模式。JZRT201 在数据包发送完之前都会保持在发送模式。发送完成后, 返回到待机模式。JZRT201 采用 PLL 开环发射方式, 数据包是单包发送的。





## 6. 数据通信模式

JZRT201 芯片搭配 MCU 来共同完成通信功能。链路层, 如数据组帧、校验、地址判断、数据白化的扰码、数据重传和 ACK 响应等处理是由芯片内部完成的, 无需 MCU 参与。

JZRT201 芯片可配置为二个不同的 RX FIFO 寄存器 (32 字节) 或者一个 RX FIFO 寄存器 (64 字节) (6 个接收通道共享)、二个不同的 TX FIFO 寄存器 (32 字节) 或者一个 TX FIFO 寄存器 (64 字节)。在休眠模式和待机模式下, MCU 可以访问 FIFO 寄存器。

JZRT201 芯片主要有 2 种数据通信模式:

■不带自动重传不带 ACK 的通信模式(后简称为普通模式), 发射端可以使用命令有 W\_TX\_PAYLOAD, REUSE\_TX\_PL 等;

■带自动重传带 ACK 的通信模式(后简称为增强模式), 发射端可以使用命令有 W\_TX\_PAYLOAD, W\_TX\_PAYLOAD\_NOACK, REUSE\_TX\_PL 等; 接收端可以使用命令有 W\_ACK\_PAYLOAD 等

表 5. 普通模式

通信名称	普通模式	
通信方	PTX	PRX
特点	单向发送	单向接收
发送数据的组帧方式	I	无
开启 REUSE_TX_PL 命令	重复发送前一包数据	无

表 6. 增强模式

通信名称	增强模式	
通信方	PTX	PRX
特点	发送数据后, 等待接收 ACK	接收数据后, 回发送 ACK
发送数据的组帧方式	发送数据组帧方式 II	回发送 ACK 组帧方式 III
PTX 使用 REUSE_TX_PL 命令	重复发送前一包数据	每收到一包, 回发送 ACK
PTX 使用 W_TX_PAYLOAD 命令 PRX 使用 W_ACK_PAYLOAD 命令	发送数据后, 等待接收 ACK PAYLOAD	接收数据后, 回发送 ACK PAYLOAD, 组帧方式 II
PTX 使用 W_TX_PAYLOAD_NOACK 命令	发送一次数据, 不等 ACK, 组帧方式 II	接收数据, 不回 ACK

### 6.1 普通模式

普通模式下, 发送端从 TX FIFO 寄存器中取出数据并且发送, 发送完成后上报中断(中断需要清除), 同时 TX FIFO 寄存器清除该数据(TX FIFO 需要清空); 接收端接收到有效的地址和数据时上报中断通知 MCU, 随后 MCU 可将该数据从 RX FIFO 寄存器中读出(TX FIFO 和 RX FIFO 需要清空, 中断需要清除)。

普通模式, (0X01) EN\_AA 寄存器置 0X00, (0X04) SETUP\_RETR 寄存器置 0X00, (0X1C) DYNPD 寄存器置 0X00, (0X1D) FEATURE 寄存器的低 3 bit 置 000。



## 6.2 增强模式

增强模式下,把主动发起通信的一方称为 PTX (主发端),把接收数据并响应的一方称为 PRX (主收端)。PTX 发出数据后等待应答信号,PRX 接收到有效数据后回应信号。PTX 规定时间内未收到应答信号,自动重新发送数据。自动重传和自动应答功能为 JZRT201 芯片自带,无需 MCU 参与。

PTX 在发送数据后自动转到接收模式等待应答信号。如果没有在规定时间内收到正确的应答信号,PTX 将重发相同的数据包,直到收到应答信号,或传输次数超过 ARC 的值 (SETUP\_RETR 寄存器) 产生 MAX\_RT 中断。PTX 收到应答信号,即认为数据已经发送成功 (PRX 收到有效数据),清除 TX FIFO 中的数据并产生 TX\_DS 中断 (TX FIFO 和 RX FIFO 需要清空,中断需要清除)。

PRX 每次收到一包有效数据都会回 ACK 应答信号,该数据如果为新数据 (PID 值与上一包数据不同) 保存到 RX FIFO,否则就丢弃。

增强模式,需要保证 PTX 的 TX 地址 (TX\_ADDR)、通道 0 的 RX 地址 (如 RX\_ADDR\_P0),以及 PRX 的 RX 地址 (如 RX\_ADDR\_P5) 三者相同。例:在图 4 中,PTX5 对应 PRX 的数据通道 5,地址设置如下:

PTX5: TX\_ADDR=0xC2C3C4C5C1

PTX5: RX\_ADDR\_P0=0xC2C3C4C5C1

RX: RX\_ADDR\_P5=0xC2C3C4C5C1

增强模式有如下特征:

- 减少 MCU 的控制,简化软件操作;
- 抗干扰能力强,减少无线传输中因瞬间同频干扰造成的丢包,更易开发跳频算法;
- 重传过程中,减少 MCU 通过 SPI 接口的每次写入待发送数据的操作时间。

## 6.3 增强发送模式

- 1、CE 置 0,CONFIG 寄存器的 PRIM\_RX 位先置 0。
- 2、当发送数据时,发送地址 (TX\_ADDR) 和有效数据 (TX\_PLD) 通过 SPI 接口按字节写入地址寄存器和 TX FIFO。CSN 引脚为低时,数据写入,CSN 引脚再次为高,数据完成写入。
- 3、CE 从 0 置 1,启动发射 (CE 至少持续置 1 在 30us 以上,该操作生效)。
- 4、自动应答模式下 (SETUP\_RETR 寄存器置不为 0,ENAA\_P0 =1),PTX 发送完数据后立即自动将通道 0 切换到接收模式等待应答信号。如果在有效应答时间范围内收到 ACK 应答信号,则认为数据发送成功,状态寄存器的 TX\_DS 位置 1 并自动清除 TX FIFO 中的数据。如果在设定时间范围内没有接收到应答信号,则自动重传数据。
- 5、如果自动传输计数器 (ARC\_CNT) 溢出 (超过了设定值),则状态寄存器的 MAX\_RT 位置 1,不清除 TX FIFO 中的数据。当 MAX\_RT 或 TX\_DS 为 1 时,IRQ 引脚产生低电平中断 (需要使能相应中断)。中断可以通过写状态寄存器来复位。
- 6、数据包丢失计数器 (PLOS\_CNT) 在每次产生 MAX\_RT 中断后加一。自动传输计数器 ARC\_CNT 统计重发数据包的次数;数据包丢失计数器 PLOS\_CNT 统计在达到最大允许传输次数时仍没有发送成功的数据包个数。
- 7、产生 MAX\_RT 或 TX\_DS 中断后,系统进入待机模式

## 6.4 增强接收模式

- 1、CE 置 0,CONFIG 寄存器的 PRIM\_RX 位先置 1。准备接收数据的通道必须被使能 (EN\_RXADDR 寄存器),所有工作在增强型通信模式下的数据通道的自动应答功能是由 EN\_AA 寄存器来使能的,有效数据宽度是由 RX\_PW\_PX 寄存器来设置的。
- 2、接收模式由设置 CE 为 1 启动。
- 3、预设的等待时间后,PRX 开始检测无线信号。



- 4、接收到有效的数据包后，数据存储在 RX\_FIFO 中，同时 RX\_DR 位置 1，产生中断。状态寄存器中 RX\_P\_NO 位显示数据是由哪个通道接收到的。
- 5、自动发送 ACK 应答信号。
- 6、如果 CE 保持为 1，继续进入接收模式；如果 CE 置为 0，则进入待机模式-III；
- 7、MCU 以合适的速率通过 SPI 口将数据读出。

### 6.5 增强模式下的数据包识别

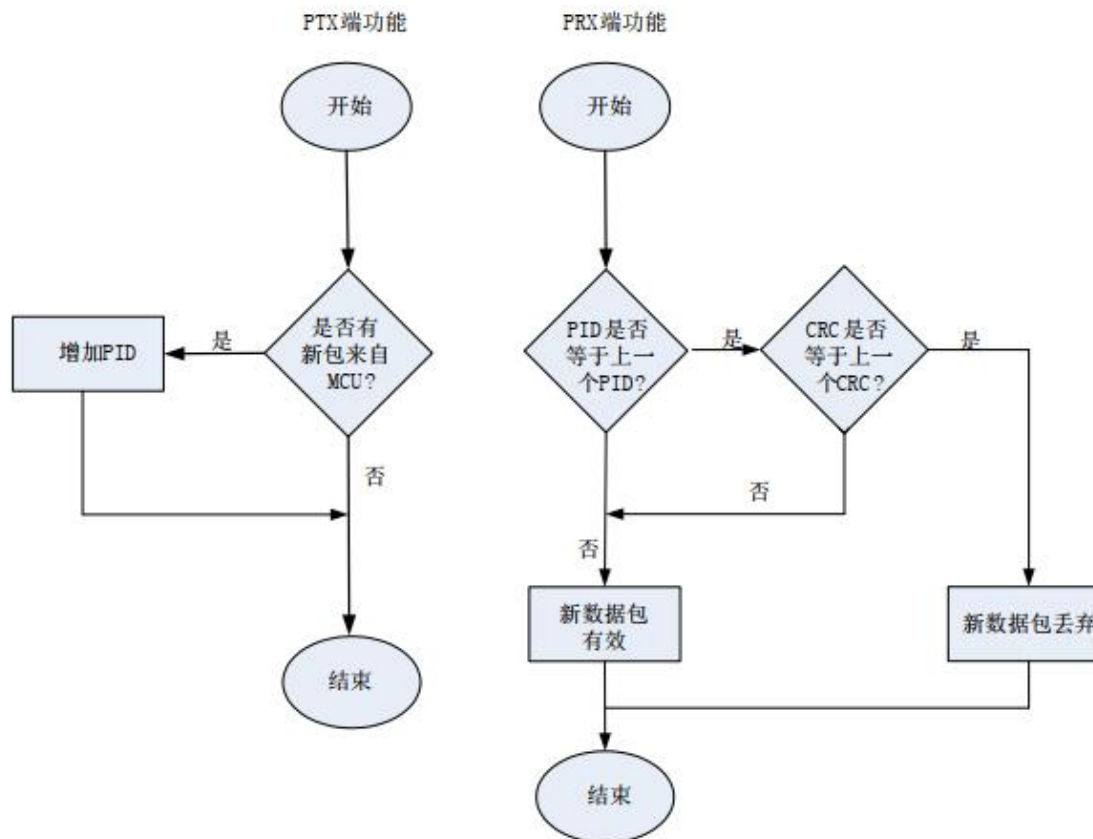


图 4. PID 生成和检测

每一包数据都包括两位的 PID（数据包标志位），来帮助接收端识别该数据是新数据包还是重发的数据包，防止多次存入相同的数据包，PID 的生成和检测如图 4 所示。发送端从 MCU 取得一包新数据后 PID 值加一。

### 6.6 增强模式下的 PTX 和 PRX 的时序图

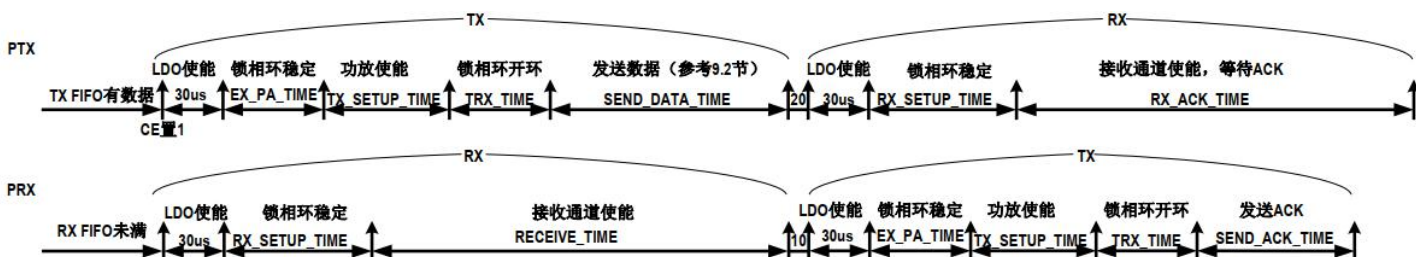


图 5. 增强模式下的 PTX 和 PRX 的时序图（发送成功）



如图 5 所示的是一次 PTX 和 PRX 通信的芯片内部时序图, 使得通信成功必须满足以下两个条件:

条件 1、PTX (或 PRX) 发射的锁相环稳定+功放使能+锁相环开环的三段时间之和, 大于 PRX (或 PTX) 接收的锁相环稳定时间 20us 以上, 这样可以保证 PTX (或 PRX) 发射数据的时间段落在 PRX (或 PTX) 接收数据的时间段内, 即:

$$EX\_PA\_TIME + TX\_SETUP\_TIME + TRX\_TIME > RX\_SETUP\_TIME + 20us;$$

条件 2、PRX 发送 ACK 的锁相环稳定+功放使能+锁相环开环+发送 ACK 的四段时间之和, 小于 PTX 接收的锁相环稳定+等待 ACK 的两端时间之和 80us 以上, 保证 PRX 回复 ACK 的时间端落在 PTX 等待 ACK 的时间段内, 各时间段的定义参考 8 章; 发送 ACK 的时间参考 8.2 节为, 发送帧比特数 ÷ 通信数据率, 即:

$$EX\_PA\_TIME + TX\_SETUP\_TIME + TRX\_TIME + SEND\_ACK\_TIME < RX\_SETUP\_TIME + RX\_ACK\_TIME - 80us。$$

## 6.7 增强模式下的接收端一对多通信

JZRT201 芯片作为发射端, 对于一对多通信, 可以采用不同的地址与多个接收端进行通信。

JZRT201 芯片作为接收端, 可以接收 6 路不同地址、相同频率的发送端数据。每个数据通道拥有自己的地址。

使能哪些数据通道是通过寄存器 EN\_RXADDR 来设置的。每个数据通道的地址是通过寄存器 RX\_ADDR\_PX 来配置的。通常情况下不允许不同的数据通道设置完全相同的地址。如下, 表 7 给出了一例多接收通道地址配置的示例。

表 7. 多通道地址设置

	Byte 4	Byte 3	Byte 2	Byte 1	Byte 0
Data pipe 0(RX_ADDR_P0)	0xF1	0xD2	0xE6	0xA2	0x33
Data pipe 1(RX_ADDR_P1)	0xD3	0xD3	0xD3	0xD3	0xD3
	↓	↓	↓	↓	
Data pipe 2(RX_ADDR_P2)	0xD3	0xD3	0xD3	0xD3	0xD4
	↓	↓	↓	↓	
Data pipe 3(RX_ADDR_P3)	0xD3	0xD3	0xD3	0xD3	0xD5
	↓	↓	↓	↓	
Data pipe 4(RX_ADDR_P4)	0xD3	0xD3	0xD3	0xD3	0xD6
	↓	↓	↓	↓	
Data pipe 5(RX_ADDR_P5)	0xD3	0xD3	0xD3	0xD3	0xD7

从表 7 可以看出数据通道 0 的 5byte 总共 40 位的地址都是可配的; 数据通道 1~5 的地址配置为 32 位共用地址 (不数据通道 1 共用) + 8 位各自的地址 (最低字节)。

JZRT201 芯片在接收模式下可以与最多 6 路不同通道通信, 如图 6 所示。每一个数据通道使用不同的地址, 共用相同的频道。所有的发射端和接收端设置为增强模式。

PRX 在接收到有效数据后记录 PTX 的 TX 地址, 并以此地址为目标地址发送应答信号。PTX 数据通道 0 被用做接收应答信号时, 数据通道 0 的 RX 地址要与 TX 地址相等以确保接收到正确的应答信号。图 6 给出了 PTX 和 PRX 地址如何配置的例子。



TX_ADDR:0XC2C3C4C5E2	TX_ADDR:0XC2C3C4C5EF	TX_ADDR:0XC2C3C4C5E4	TX_ADDR:0XC2C3C4C5D1	TX_ADDR:0XC2C3C4C5C1	TX_ADDR:0XCF3E410F02
RX_ADDR:0XC2C3C4C5E2	RX_ADDR:0XC2C3C4C5EF	RX_ADDR:0XC2C3C4C5E4	RX_ADDR:0XC2C3C4C5D1	RX_ADDR:0XC2C3C4C5C1	RX_ADDR:0XCF3E410F02

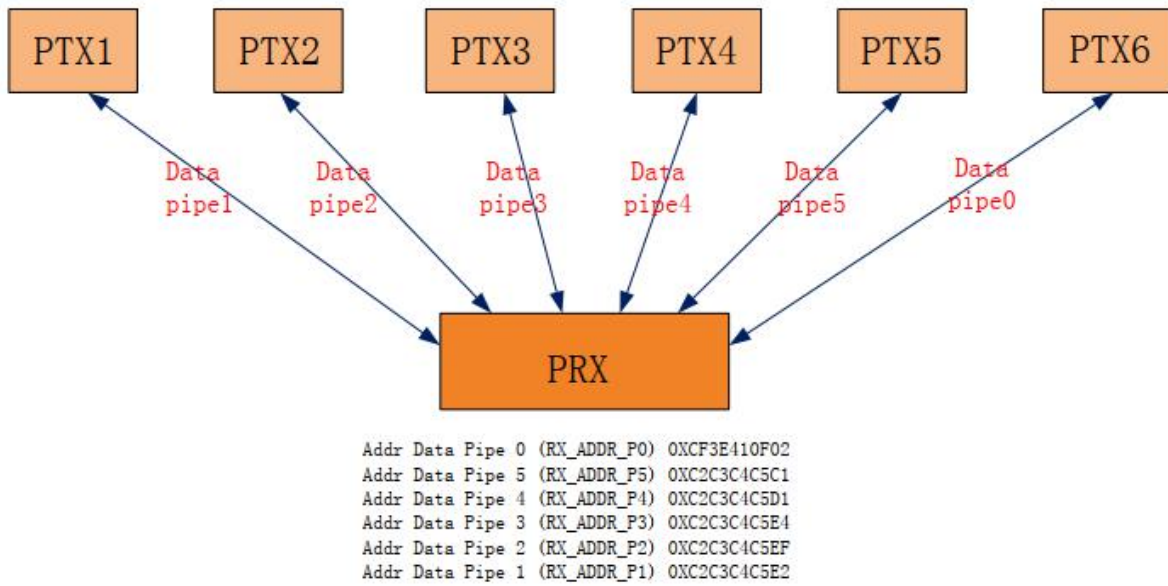


图 6. 多通道数据传输应答地址示例

### 6.8 DATA FIFO

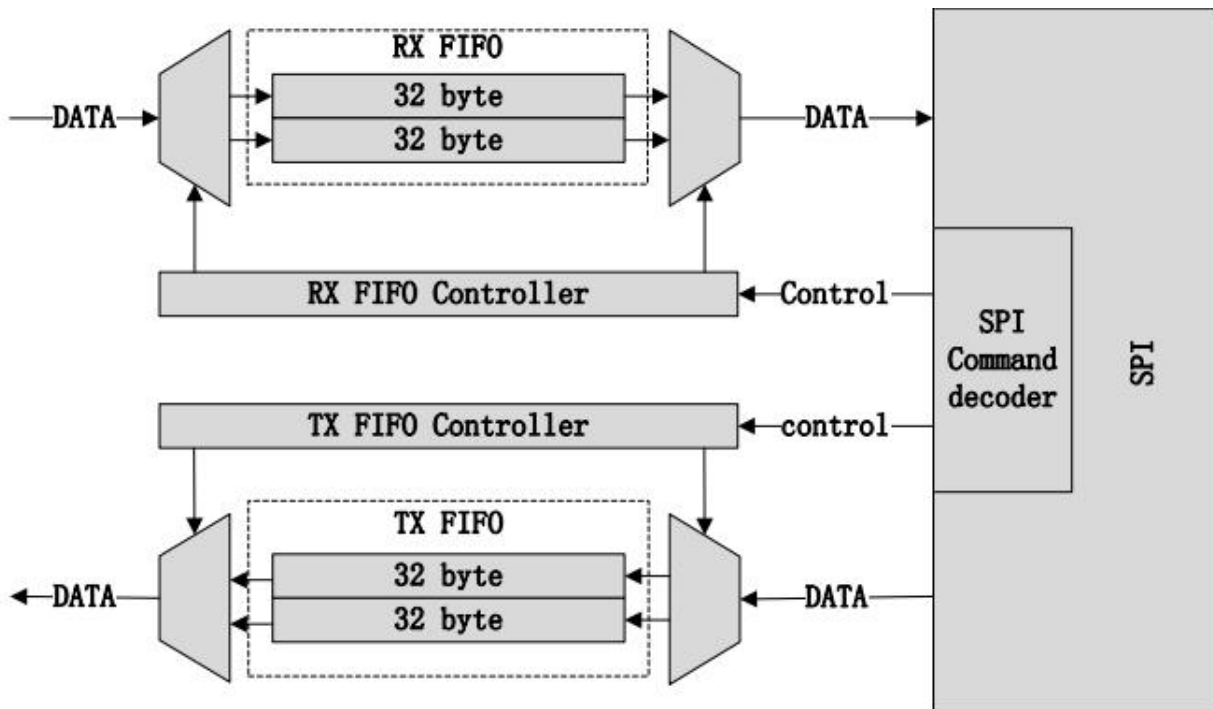


图 7. FIFO 框图

JZRT201 包含发 TX\_FIFO, RX\_FIFO。通过 SPI 命令可读写 FIFO。在发送模式下通过 W\_TX\_PAYLOAD 和 W\_TX\_PAYLOAD\_NO\_ACK 指令来写 TX\_FIFO。如果产生 MAX\_RT 中断,在 TX\_FIFO 中的数据不会被清除。在接收模式下通过 R\_RX\_PAYLOAD 指令读取 RX\_FIFO 中的 payload, R\_RX\_PL\_WID 指令读取 payload 的长度。FIFO\_STATUS 寄存器指示 FIFO 的状态。



## 6.9 中断引脚

JZRT201 芯片的中断引脚 (IRQ) 为低电平触发, IRQ 引脚初始状态为高电平, 当状态寄存器中 TX\_DS、RX\_DR 或 MAX\_RT 为 1, 以及相应的中断上报使能位为 0 时, IRQ 引脚的中断触发。MCU 给相应中断源写 '1' 时, 清除中断。IRQ 引脚的中断触发可以被屏蔽或者使能, 通过设置中断上报使能位为 1, 禁止 IRQ 引脚的中断触发。

## 7. SPI 控制接口

JZRT201 芯片通过 SPI 控制接口对各寄存器进行读写操作。JZRT201 芯片作为从机, SPI 接口的数据率一般取决于 MCU 的接口速度, 其最大的数据传输率为 4Mbps。为了省电, 在休眠模式和待机模式-I, SPI 的最大传输速率为 1Mbps。

SPI 接口是标准的 SPI 接口见表 8, 可以使用 MCU 的通用 I/O 口模拟 SPI 接口。CSN 引脚为 0 时, SPI 接口等待执行指令。一次 CSN 引脚由 1 到 0 的变化执行一条指令。在 CSN 引脚由 1 变 0 后可以通过 MISO 来读取状态寄存器的内容。

表 8. SPI 接口

引脚名称	I/O 接口方向	SPI 引脚的功能描述
CSN	输入	片选使能, 低电平使能
SCK	输入	时钟
MOSI	输入	串行输入
MISO	输出	串行输出

### 7.1 SPI 指令格式

表 9. SPI 指令格式

<命令字: 由高位到低位 (每字节)>

<数据字节: 低字节到高字节, 每一字节高位在前>

命令名称	命令字 (二进制)	后带数据 (字节数)	操作
R_REGISTER	000A AAAA	1 to 5 低字节在前	读状态寄存器 AAAAA=5bit 寄存器地址
W_REGISTER	001A AAAA	1 to 5 低字节在前	写状态寄存器 AAAAA=5bit 寄存器地址 仅在休眠和待机模式-I 下执行。
R_RX_PAYLOAD	0110 0001	1 to 32/64 低字节在前	读接收数据, 读操作通常由第 0 字节开始, 读完过后数据将从 RX FIFO 中删除, 接收模式下执行。
W_TX_PAYLOAD	1010 0000	1 to 32/64 低字节在前	写发射数据, 写操作通常由 0 字节开始。
FLUSH_TX	1110 0001	0	清 TX FIFO。
FLUSH_RX	1110 0010	0	清 RX FIFO。



REUSE_TX_PL	1110 0011	0	用在 PTX 端, 再次使用最后一帧发送的数据并且发送。该命令在刚发送数据并执行 FLUSH_TX 命令后可用。该命令不可以在发送数据的过程中使用。
ACTIVATE	0101 0000	1	用该命令后跟数据 0x73, 将激活以下功能 <ul style="list-style-type: none"> <li>• R_RX_PL_WID</li> <li>• W_TX_PAYLOAD_NOACK</li> <li>• W_ACK_PAYLOAD</li> </ul> 该命令仅在休眠模式和待机模式下执行。 用该命令后跟数据 0x8C, 将关闭上述功能。
DEACTIVATE			
R_RX_PL_WID	0110 0000	0	读 RXFIFO 最顶部 RX-payload 数据宽度。
W_ACK_PAYLOAD	1010 1PPP	1 to 64 低字节在前	Rx 模式可用写 PIPE PPP (PPP 的值从 000 到 101) 响应 ACK 时同时回传的数据。最多可设置 2 个 ACK 数据包。同 PIPE 的数据将以先进先出的原则发送。写操作通常从 0 字节开始。
W_TX_PAYLOAD_NOACK	1011 0000	1 to 32/64 低字节在前	写发射数据, 写操作通常由 0 字节开始。TX 模式下执行, 使用该命令发送数据不判自动应答。
CE_FSPI_ON	1111 1101	1	SPI 命令使 CE 内部逻辑置 1, 用该命令后跟数据 0x00。
CE_FSPI_OFF	1111 1100	1	SPI 命令使 CE 内部逻辑置 0, 用该命令后跟数据 0x00。
RST_FSPI_HOLD	0101 0011	1	用该命令后跟数据 0x5A, 使得进入复位状态并保持。 用该命令后跟数据 0xA5, 使得释放复位状态并开始正常工作。
RST_FSPI_RELS			
NOP	1111 1111	0	无操作。

R\_REGISTER 和 W\_REGISTER 寄存器可能操作单字节或多字节寄存器。当访问多字节寄存器时首先要读/写的是最低字节的高位。对于多字节寄存器可以只写部分字节, 没有写的高字节保持原有内容不变。例如: RX\_ADDR\_P0 寄存器的最低字节可以通过写一个字节给寄存器 RX\_ADDR\_P0 来改变。

## 7.2 SPI 时序

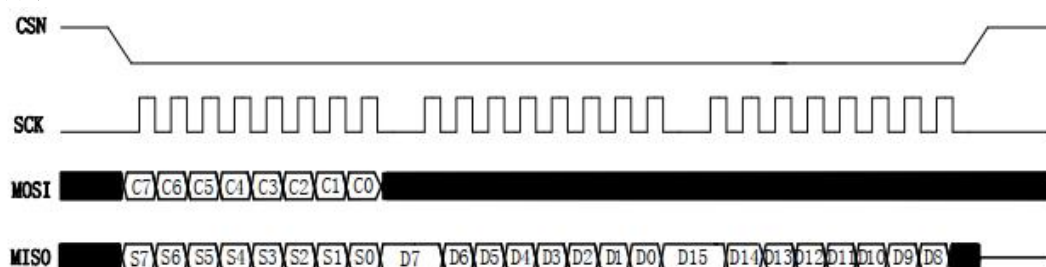


图 8. SPI 读操作

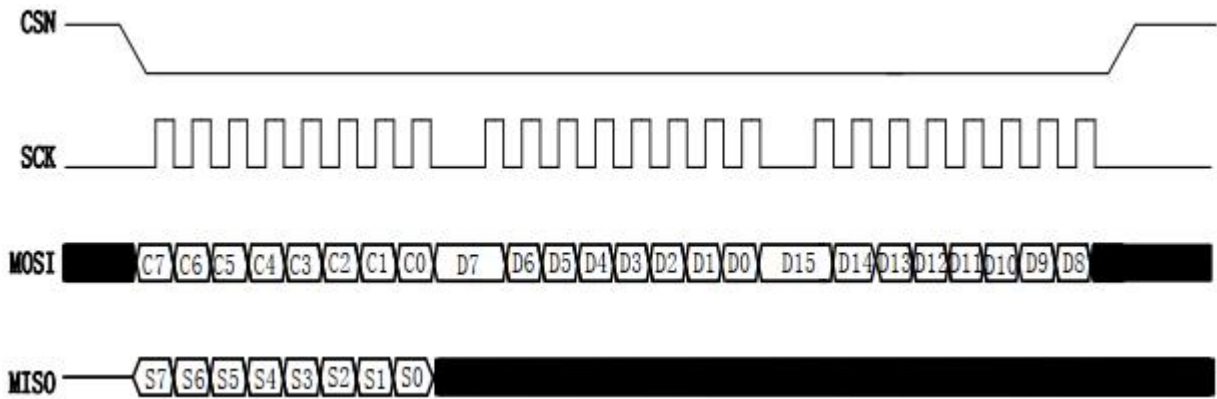


图 9. SPI 写操作

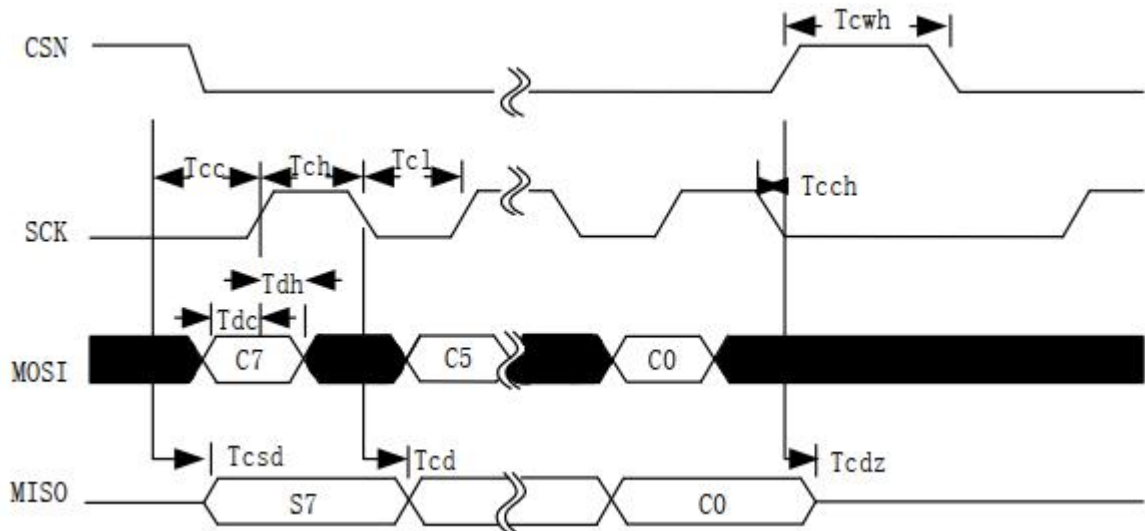


图 10. SPI, NOP 操作时序图

表 10. SPI 操作参考时间

SYMBOL	PARAMETERS	MIN	MAX	UNITS
Tdc	数据建立时间	15		ns
Tdh	数据保持时间	2		ns
Tcsd	CSN 信号有效时间		40	ns
Tcd	SCK 信号有效时间		51	ns
Tcl	SCK 信号低电平时间	38		ns
Tch	SCK 信号高电平时间	38		ns
Fsck	SCK 信号频率		8	MHz
Tr,Tf	SCK 信号上升下降时间		110	ns
Tcc	CSN 信号建立时间	2		ns
Tcch	CSN 信号保持时间	2		ns
Tcwh	CSN 无效时间	49		ns
Tcdz	CSN 信号高阻抗		40	ns

注: 表 10 的参数可根据选择的 MCU 进行调整  
图 8~10 和表 10 给出了 SPI 操作及时序。





## 8. 控制寄存器

可以通过 SPI 读写操作表 11 中的寄存器，来配置和控制 JZRT201。

表 11 控制寄存器（地址打\*的寄存器在使用中需要修改）

地址 (HEX)	寄存器	BIT	复位后的 默认值	读写	说明
00*	CONFIG				工作寄存器
	EN_PM	7	0	R/W	进入 STB3 模式 (前提 PWR_UP=1) 1: 进入 STB3 0: 进入 STB1 (在 STB3 模式下必须等待 50us 以上, 才能跳转其它工作状态)
	MASK_RX_DR	6	0	R/W	接收数据成功的中断上报使能位 1: 中断不反映到 IRQ 引脚 0: RX_DR 中断反映到 IRQ 引脚
	MASK_TX_DS	5	0	R/W	发送数据成功的中断上报使能位 1: 中断不反映到 IRQ 引脚 0: TX_DS 中断反映到 IRQ 引脚
	MASK_MAX_RT	4	0	R/W	发送失败并达到最大传输次数的 中断上报使能位 1: 中断不反映到 IRQ 引脚 0: MAX_RT 中断反映到 IRQ 引脚
	EN_CRC	3	1	R/W	CRC 使能位 1: CRC 使能, 2byte 0: CRC 不使能, 并且不判 CRC 校验
	N/A	2	0	R/W	保留, 需要置 1
	PWR_UP	1	0	R/W	芯片使能位 1: POWER_UP 0: POWER_DOWN
	PRIM_RX	0	0	R/W	RX/TX 控制位 1: PRX 0: PTX
01	EN_AA Enhanced Burst				接收通道的自动应答使能 (接收端的 EN_AA 不为 0X00 时, 为增强模式)
	Reserved	7:6	00	R/W	Only 00 allowed
	ENAA_P5	5	0	R/W	使能 pipe5 自动应答
	ENAA_P4	4	0	R/W	使能 pipe4 自动应答
	ENAA_P3	3	0	R/W	使能 pipe3 自动应答
	ENAA_P2	2	0	R/W	使能 pipe2 自动应答
	ENAA_P1	1	0	R/W	使能 pipe1 自动应答
	ENAA_P0	0	1	R/W	使能 pipe0 自动应答



02	EN_RXADDR				接收通道使能
	Reserved	7:6	00	R/W	Only 00 allowed
	ERX_P5	5	0	R/W	使能 data pipe 5
	ERX_P4	4	0	R/W	使能 data pipe 4
	ERX_P3	3	0	R/W	使能 data pipe 3
	ERX_P2	2	0	R/W	使能 data pipe 2
	ERX_P1	1	0	R/W	使能 data pipe 1
	ERX_P0	0	1	R/W	使能 data pipe 0
03	SETUP_AW				地址宽度设置
	Reserved	7:2	000000	R/W	Only 000000 allowed
	AW	1:0	11	R/W	RX/TX 地址宽度 00: 无效 01: 3 字节 10: 4 字节 11: 5 字节 如果地址宽度设置低于 5 字节, 地址使用低字节
04	SETUP_RETR				自动传输设置
	ARD	7:4	0000	R/W	自动传输延时 0000 :250μs 0001 :500μs 0010 :750μs ..... 1111: 4000μs
	ARC	3:0	0011	R/W	自动传输次数设置 0000: 普通模式 0001~1111: 增强模式 0001: 增强 1 次传输 0002: 增强 2 次传输 ..... 1111: 增强 15 次传输
05	RF_CH				通信频道设置
	Reserved	7	0	R/W	Only 0 allowed
	RF_CH	6:0	1001110	R/W	设置使用频道为 Channel=RF_CH + 2400
06*	RF_SETUP				通信参数配置
	RF_DR	7:6	00	R/W	数据速率 01: 2Mbps 00: 1Mbps 11: 250kbps 10: 保留



	PA_GC	5:3	111	R/W	PA 的 driver 级输出幅度, 可以调节发射功率大小 111: 幅度大 ..... 000: 幅度小
	PA_PWR	2:0	111	R/W	PA 的输出级功率选择, 可以调节发射功率大小 111: 输出功率大 ..... 000: 输出功率小
07	STATUS				状态寄存器
	Reserved	7	0	R/W	Only 0 allowed
	RX_DR	6	0	R/W	RX FIFO 接收数据中断位, 在新数据被接收并到达 RX FIFO 时产生中断。写 1 清中断
	TX_DS	5	0	R/W	TX FIFO 发送数据成功中断位, 在不带自动重传模式下, 数据发送完成后产生中断; 在带自动重传模式下, 仅在发送端收到 ACK 信号后才会将该位置高。写 1 清中断
	MAX_RT	4	0	R/W	发送达到最大传输次数未成功中断位。写 1 清中断 产生该中断后, 继续进行通信必须先清该中断
	RX_P_NO	3:1	111	R	可从 RX_FIFO 读取的 pipe 号 000-101: pipe 号 110: Not Used 111: RX_FIFO 空
	TX_FULL	0	0	R	TX FIFO 满标志 1: TX FIFO 满 0: TX FIFO 未滿可用
08	OBSERVE_TX				传输状态寄存器
	PLOS_CNT	7:4	0	R	丢包计数器 该计数器达到最大值 15 时将停止计数, 该计数器在写 RF_CH 时被复位, 未复位该值时可以继续进行通信
	ARC_CNT	3:0	0	R	自动重传的传输次数计数器 传输加一次, ARC_CNT 加一; 在 ARC_CNT 达到 ARC 限定值时, 视为丢包, 并将 PLOS_CNT 加一; 当新数据写入 TX FIFO 时该计数器复位。



09*	DATAOUT				数据读取寄存器 (前提 DATAOUT_SEL=0)
	ANADATA7	7	0	R	接收机实时 RSSI 值的第 3 位(最高位) (测试用)
	ANADATA6	6	0	R	接收机实时 RSSI 值的第 2 位(测试用)
	ANADATA5	5	0	R	接收机实时 RSSI 值的第 1 位 测试用)
	ANADATA4	4	0	R	接收机实时 RSSI 值的第 0 位(测试用)
	ANADATA3	3	0	R	接收机成功收包的 RSSI 值的第 3 位 (最高位)
	ANADATA2	2	0	R	接收机成功接收包的 RSSI 值的第 2 位
	ANADATA1	1	0	R	接收机成功接收包的 RSSI 值的第 1 位
	ANADATA0	0	0	R	接收机成功接收包的 RSSI 值的第 0 位
0A	RX_ADDR_P0	39:0	0xE7E7E7E7E7E7	R/W	data pipe 0 的接收地址, 最长 5 字节。(由低字开始写。地址长度由 SETUP_AW 定义)
0B	RX_ADDR_P1	39:0	0xC2C2C2C2C2C2	R/W	data pipe 1 的接收地址, 最长 5 字节。(由低字开始写。地址长度由 SETUP_AW 定义)
0C	RX_ADDR_P2	7:0	0xC3	R/W	data pipe 2 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
0D	RX_ADDR_P3	7:0	0xC4	R/W	data pipe 3 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
0E	RX_ADDR_P4	7:0	0xC5	R/W	data pipe 4 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
0F	RX_ADDR_P5	7:0	0xC6	R/W	data pipe 5 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
10	TX_ADDR	39:0	0xE7E7E7E7E7E7	R/W	发送端地址 (由低字节开始写) 只能在配置为 PTX 模式的芯片中使用, 需要设置 RX_ADDR_P0 等于该地址以便接收 ACK 自动应答。
11	RX_PW_P0				data pipe 0 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed



	RX_PW_P0	6:0	0000000	R/W	data pipe 0 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64bytes
12	RX_PW_P1				data pipe 1 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P1	6:0	0000000	R/W	data pipe 1 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
13	RX_PW_P2				data pipe 2 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P2	6:0	0000000	R/W	data pipe 2 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
14	RX_PW_P3				data pipe 3 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P3	6:0	0000000	R/W	data pipe 3 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
15	RX_PW_P4				data pipe 4 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P4	6:0	0000000	R/W	data pipe 4 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes



17*	FIFO_STATUS				FIFO 状态寄存器
	N/A	7	0	R	保留
	TX_REUSE	6	0	R	调用上一帧数据发送的指示位 在使用 REUSE_TX_PL 命令后,该位为 1, 重传上一次发送中最后一帧数据。该位可以 由命令 W_TX_PAYLOAD、 W_TX_PAYLOAD_NOACK、 DEACTIVATE、FLUSH TX 进行 复位操作。
	TX_FULL	5	0	R	TX FIFO 满标志位 1: TX FIFO 满 0: TX FIFO 可用
	TX_EMPTY	4	1	R	TX FIFO 空标志位 1: TX FIFO 空 0: TX FIFO 有数据
	N/A	3	0	R	保留
	N/A	2	0	R	保留
	RX_FULL	1	0	R	RX FIFO 满标志位 1: RX FIFO 满 0: RX FIFO 可用
	RX_EMPTY	0	1	R	RX FIFO 空标志位 1: RX FIFO 空 0: RX FIFO 有数据
19*	DEMOD_CAL	7:0			调制解调参数寄存器 (可由方案需要来配置)
	CHIP	7	0	R/W	设置芯片是否进入测试模式 1: 进入测试模式 0: 退出测试模式
	CARR	6:5	00	R/W	设置芯片是否进入载波测试模式 11: 进入单载波测试模式, 且 CHIP 置 1 00: 退出单载波模式
	GAUS_CAL	4:1	0111	R/W	高斯滤波器输出到 DAC 的信号 幅度调整,该输出信号大小是发射调制频 偏大小的决定因素之一 1111: 幅度较小 .... 1000: 幅度中等 .... 0000: 幅度较大
	Scramble_en	0	1	R/W	扰码功能是否使能, 开启扰码功



					能可以对于待发送的数据进行白化操作,从而减少长 1 长 0 数据,使能扰码功能需要收发两端进行相同配置 1: 使能扰码 0: 关闭扰码
1A*	RF_CAL2	47:0			补充射频寄存器 (一般使用默认值)
	N/A	47:46	01	R/W	保留
	BW_500K	45	0	R/W	滤波器带宽选择 0: 窄带宽 1: 宽带宽
	GC_500K	44	1	R/W	滤波器增益选择 0: 低增益 1: 高增益
	IRQ_inv_sel	43	0	R/W	IRQ (EN_PA) 输出是否取反 1: 输出取反 0: 输出不取反
	CLKOUT_Z_sel	42	0	R/W	CLKOUT 引脚是否为高阻输出 1: CLKOUT PIN 为高阻输出 0: CLKOUT PIN 作为 Output
	CE_L_sel	41	0	R/W	CE 引脚弱下拉电阻是否使能 1: CE 引脚弱下拉电阻使能 0: CE 引脚弱下拉电阻不使能
	MISO_Z_sel	40	0	R/W	MISO 引脚是否为高阻输出 1: MISO PIN 为高阻输出 0: MISO PIN 作为 Output
	IRQ_Z_sel	39	0	R/W	IRQ 引脚是否为高阻输出 1: IRQ PIN 为高阻输出 0: IRQ PIN 作为 Output
	PA_ramp_sel	38:37	01	R/W	选择 PA ramp up 的方式 00: No ramp up 01: 4us ramp each step 10: 从半电流开始 ramp 11: 2us ramp each step
	OSC_IC	36	1	R/W	OSC 的激励电流选择 1: ×1 0: ×0.75
	CLK_SEL	35:34	10	R/W	内部晶振信号输出频率选择 00: 16MHz 01: 8MHz 10: 4MHz 11: 2MHz
	EN_STBII_RX 2TX	33	1	R/W	PTX 端在从发送模式转为接收模式过程中短暂进入待机模式-II



					使能位, 进入待机模式-II 会使得除 DVDD 的 LDO 之外的其余 LDO 都掉电一次 1: 使能 0: 不使能
	BPF_CTRL_BW	32	0	R/W	接收中频滤波器的 1dB 带宽选择 1: ×1 0: ×0.85
	BPF_CTRL_GAIN	31	1	R/W	接收中频滤波器增益控制 1: 5dB 0: 19dB
	VCOBUF_IC	30:29	01	R/W	VCO 驱动 MIXH 的驱动器电流选择 00: 600uA 01: 800uA 10: 1mA 11: 1.2mA
	VCO_CT	28:27	01	R/W	VCO 负载添加电容选择 00: 电容少, VCO 频率高 11: 电容多, VCO 频率低
	CAL_VREF_SEL	26	1	R/W	VCO 自动校正参考电压选择 1: 1.15V 0: 1.25V
	SPI_CAL_EN	25	0	R/W	VCO 单次触发自动校正过程 每次该位从 0 置 1 的过程都会触发一次 VCO 自动校正过程 此外, 在改变工作频道和从待机进入收发状态下, 也会触发 VCO 自动校正过程
	PREAMP_CTM	24:22	011	R/W	PA 的 driver 级的负载电容选择 000: 399fF 100: 171fF 111: 0fF
	DA_LPF_BW	21	1	R/W	DAC 的滤波带宽选择 1: 宽带 0: 窄带
	RX_CTM	20:19	01	R/W	LNA 的谐振频率 (负载电容) 选择, 00: 2.45GHz 01: 2.52GHz 10: 2.59GHz 11: 2.66GHz





	RCCAL_EN	18	1	R/W	接收带通滤波器的自动校正使能 1: 使能 0: 不使能
	EN_VCO_CAL	17	1	R/W	VCO 自动校正使能位 1: 使能 0: 不使能
	PRE_BC	16:14	100	R/W	预分频器直流电流选择 000: ×1 001&010: ×1.5 100&011: ×2 101&110: ×2.5 111: ×3
	VCO_CODE_IN	13:10	1000	R/W	VCO 频段选择位, 仅在 EN_VCO_CAL 为 0 时有效 1111: 高频段 0000: 低频段
	RCCAL_IN	9:4	0101 00	R/W	接收带通滤波器中频校正位设置, 仅在 RCCAL_EN 为 0 时有效 111111: 中频中心频率低 000000: 中频中心频率高
	CPSEL	3:2	01	R/W	锁相环电荷泵电流设置 RX TX 00: 26uA 26uA 01: 26uA 52uA 10: 52uA 78uA 11: 78uA 104uA
	DATAOUT_SEL	1	0	R/W	数据读取选择位, 置 0
	RSSI_SEL	0	1	R/W	RSSI 信号采样点选择 1: 采样信号经过滤波器 0: 采样信号不经滤波器 (测试用)
1B	DEM_CAL2	23:0			补充解调参数寄存器 (一般使用默认值)
	PIN	23:21	000	R/W	设置芯片进入测试模式后的输出 PIN (MISO 引脚 /IRQ 引脚) 000 且 CHIP 为 0 为工作模式, 作数据输出和中断 输出 000 (且 CHIP 为 1) 为测试灵敏度模 式, 作解调数据和时钟输出 110 (且 CHIP 为 1) 为测试接收模式, 作 limit I 和 Q 两 路输出



	EN_RX	20	0	R/W	接收通道是否与锁相环同时开启 1: 同时打开 0: 分时打开
	DELAY1	19	0	R/W	锁相环开环是否使能, 锁相环使能开环状态可以作为发射的载波漂移测试 1: 锁相环使能开环 0: 锁相环开环及状态机控制
	DELAY0	18	0	R/W	解调器是否叠加收报的初始偏移量, 解调器不叠加初始偏移量可作为接收灵敏度测试 1: 不叠加初始偏移量 0: 叠加初始频偏, 接收状态下可以抵消由于中心频偏引起的误码
	TH1	17	1	R/W	在待机模式-II 下, LDO (除 DVDD 的 LDO 外) 是否使能, 在测试模式下, 测试发射单载波和接收灵敏度时该位置 1 1: 使能 0: 不使能
	PTH	16:13	0110	R/W	接收机数字解调器前导码相关阈值设置, 24 位前导码的相关阈值 = PTH + 16 1000: 24 位 0110: 22 位 0000: 16 位
	SYNC_SEL	12	1	R/W	接收机数字解调器的 4 倍采样, 取几点相关上计算该位数据正确 1: 3bit 0: 2bit
	DECOD_INV	11	1	R/W	前导码是否按位取反, 一般置 1 使能该功能需要收发两端进行 1: 不按位取反 0: 按位取反
	GAIN1	10:7	1110	R/W	解调器的数据中心值调整环路的基准波形的幅度, 置 1110
	GAIN2	6:1	000101	R/W	解调器的数据中心值调整环路的根据基准波形的调整速度, 置 000101
	AGGRESSIVE	0	1	R/W	解调器的码率同步单元的速度选择 1: 大步长调整, 速度快 0: 小步长调整, 速度慢
1C	DYNPD				动态 PAYLOAD 长度使能
	Reserved	7:6	00	R/W	Only 00 allowed



	DPL_P5	5	0	R/W	使能 PIPE 5 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P5)
	DPL_P4	4	0	R/W	使能 PIPE 4 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P4)
	DPL_P3	3	0	R/W	使能 PIPE 3 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P3)
	DPL_P2	2	0	R/W	使能 PIPE 2 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P2)
	DPL_P1	1	0	R/W	使能 PIPE 1 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P1)
	DPL_P0	0	0	R/W	使能 PIPE 0 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P0)
1D*	FEATURE	7:0		R/W	特征寄存器
	Reserved	7	0	R/W	Only 00 allowed
	MUX_PA_IRQ	6	0	R/W	选择 IRQ 信号输出还是 EN_PA 信号输出到 PIN 0: IRQ 信号输出到 PIN 1: EN_PA 信号输出到 PIN
	CE_SEL	5	0	R/W	使能 CE 用命令方式开启 0: CE 由 CE 的引脚控制 1: CE 由命令方式控制
	DATA_LEN_SEL	4:3	00	R/W	数据长度选择 11: 64byte (512bit) 模式 00: 32byte (256bit) 模式
	EN_DPL	2	0	R/W	使能动态 PAYLOAD 长度
	EN_ACK_PAY	1	0	R/W	使能 ACK 带 PAYLOAD
	EN_NOACK	0	0	R/W	使能 W_TX_PAYLOAD_NOACK 命令
1E*	RF_CAL	23:0		R/W	射频参数寄存器(可由方案需要来配置)
	EN_CLK_OUT	23	0	R/W	内部晶振信号输出选择 1: 时钟信号输出到 CLK_OUT 的 PAD 2: 不输出
	DA_VREF_M B	22:20	101	R/W	DAC 的比较电路的正端参考电压 正端参考电压较大, DAC 输出幅度较大 111: 正端参考电压较大 000: 正端参考电压较小
	DA_VREF_LB	19:17	110	R/W	DAC 的比较电路的负端参考电压 负端参考电压较大, DAC 输出幅度较小 111: 负端参考电压较小 000: 负端参考电压较大
	DA_LPF_CTRL	16	1	R/W	DAC 的输出幅度控制位 1: 输出幅度×0.8 倍 0: 输出幅度×0.5 倍



	RSSI_EN	15	0	R/W	RSSI 使能位 1: RSSI 使能 0: RSSI 不使能
	RSSI_Gain_CTR	14:13	01	R/W	RSSI 的信号增益衰减的选择位 00: 不衰减 01: -6dB 10: -12dB 11: -18dB
	MIXL_GC	12	1	R/W	接收 MIXL 的增益选择 1: 14dB 0: 8dB
	PA_BC	11:10	11	R/W	PA 输出级的直流电流选择位 00: ×1 01: ×2 10: ×3 11: ×4
	LNA_GC	9:8	11	R/W	LNA 增益选择 11: 17dB 10: 11dB 01: 5.4dB 00: -0.4dB
	VCO_BIAS	7:5	111	R/W	VCO 电流设置 000: 900uA 001: 1050uA 010: 1200uA 011: 1350uA 100: 1500uA 101: 1650uA 110: 1800uA 111: 1950uA
	RES_SEL	4:3	10		芯片偏置电流的负载选择 00: 26kR 01: 24kR 10: 22kR 11: 20kR
	LNA_HCURREN	2	1	R/W	设置 LNA 高电流使能 1: 高电流 0: 低电流



	MIXL_BC	1	1	R/W	接收 MIXL 电流选择 1: ×1 0: ×0.5
	IB_BPF_TRIM	0	0	R/W	接收带通滤波器的电流选择 1: ×1 0: ×0.5
1F*	BB_CAL	7:0 15:8 23:16 31:24 39:32		R/W	数字基带参数寄存器 (一般使用默认值)
	Reserved	39:32	01000110	R/W	Only 0X01000110 allowed
	INVERTER	31	1	R/W	进入 RX_block 前是否取反 RX 通路数据 1: 取反 0: 保持不变
	DAC_MODE	30	0	R/W	dac_out[5:0] 是否需要取反输出, dac_out[5:0]为 DAC 数据输入端 1:dac_out[5:0]<= [0:5] 0:dac_out[5:0]<= [5:0]
	DAC_BASAL	29:24	011100	R/W	预发送阶段的 DAC 数据输入的初始值
	TRX_TIME	23:21	011	R/W	锁相环开环到开始发射数据的时间间隔, 时间长度计算: $TRX\_TIME \times 8 + 7.5$ , 单位为 us
	EX_PA_TIME	20:16	00111	R/W	发射锁相环使能到 PA 使能的时间间隔, 时间长度计算: $EX\_PA\_TIME \times 16$ , 单位为 us
	TX_SETUP_TIME	15:11	01101	R/W	发射 PA 使能到锁相环开环的时间间隔, 时间长度计算: $TX\_SETUP\_TIME \times 16$ , 单位为 us
	RX_SETUP_TIME	10:6	10100	R/W	RX 射频通路锁相环稳定时间, 时间长度计算: $RX\_SETUP\_TIME \times 16$ , 单位为 us
	RX_ACK_TIME	5:0	001010	R/W	PTX 转为接收模式后等待 ACK 的最长时间, 超出该时间则认为本次传输失败, 2Mbps 模式下的时间长度计算: $RX\_ACK\_TIME \times 16$ , 单位为 us 1Mbps 模式下的时间长度计算: $RX\_ACK\_TIME \times 32$ , 单位为 us 250kbps 模式下的时间计算: $RX\_ACK\_TIME \times 128$ , 单位为 us



注 1: 表 11 的配置为 0X1B、0X1F 寄存器的默认值可以工作; 0X19、0X1A、0X1E 寄存器为需要配置的寄存器。

注 2: 当访问多字节寄存器/地址/数据时, 读/写顺序为低字节在前高字节在后。单个字节内部高 bit 在前低 bit 在后。

## 9. 数据包格式描述

### 9.1 普通模式的数据包形式

普通模式的数据包格式如表 12 所示, 组帧方式 I

表 12. 普通模式的数据包形式

前导码 (3 字节)	地址 (3~5 字节)	数据 (1~32/64 字节)	CRC 校验 (0/2 字节)
---------------	----------------	--------------------	--------------------

表 12 中地址和数据部分可以选择扰码方式, 根据使能/关闭扰码配置位。

### 9.2 增强模式的数据包形式

增强模式的数据包格式如表 13 所示, 组帧方式 III

表 13. 增强模式的数据包形式

前导码 (3 字节)	地址 (3~5 字节)	标识 (10bit)			数据 (0~32/64 字节)	CRC 校验 (0/2 字节)
		数据长度标识 (7bit)	PID 标识 (2bit)	NO_ACK 标识 (1bit)		

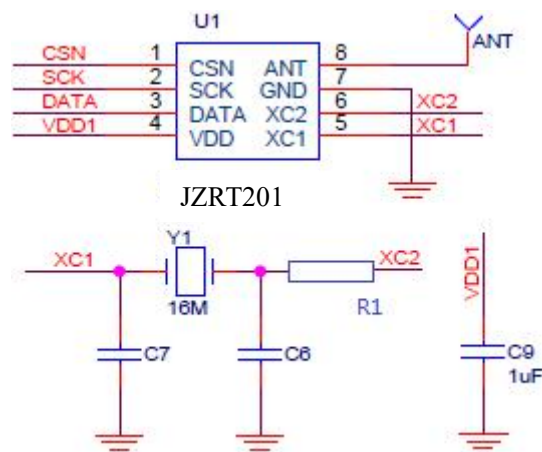
### 9.3 增强模式 ACK 包形式

增强模式的 ACK 包格式如表 14 所示, 组帧方式 II

表 14. 增强模式的 ACK 包形式

前导码 (3 字节)	地址 (3~5 字节)	标识 (10bit)			CRC 校验 (0/2 字节)
		数据长度标识 (7bit)	PID 标识 (2bit)	NO_ACK 标识 (1bit)	

## 10. 典型应用电路 (参考)





No	封装形式	器件值
C9	0402	1uF
Y1	2*6	16MHz
C6	0402	20pF
C7	0402	20pF
R1	0402	510R

注 1: JZRT201 使用中, 需要串联 510ohm 电阻于 XC2 处, 降低发射功率输出对于晶振的波形影响。

注 2: 过安规, 需添加π型匹配网络,如下图所示, 具体过安规的相关信息参考 16 文档。

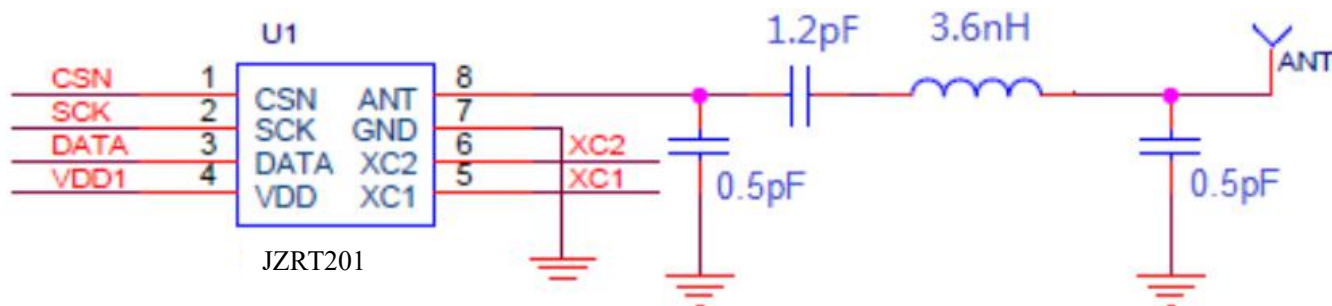


图 11. JZRT201 的过安规射频匹配网络原理图

## 11. 方案调试注意点

- 1) 进入发射模式, 等待发送完成后 (约 1~2ms) 再进行 SPI 读写操作。
- 2) XC2 端需要串联 510R 左右电阻, 保证晶振的正常工作。
- 3) 芯片初始化配置,
  - 1Mbps / 2Mbps 通信使用参考《03\_软件设计和调试参考》
  - 250Kbps 通信使用参考《11\_250Kbps 使用说明》。